

PAT-NO: JP406260482A  
DOCUMENT-IDENTIFIER: JP 06260482 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: September 16, 1994

INVENTOR-INFORMATION:  
NAME  
MATSUOKA, TAKASHI

ASSIGNEE-INFORMATION:  
NAME  
MITSUBISHI ELECTRIC CORP

COUNTRY  
N/A

APPL-NO: JP05045136  
APPL-DATE: March 5, 1993

INT-CL (IPC): H01L021/3205

ABSTRACT:

PURPOSE: To improve the electrical characteristics and fineness of the wiring of a semiconductor device the wiring of which is formed by electroplating.

CONSTITUTION: A feeder layer 4 to be used at time of forming an electroplated section 8a by electroplating is constituted of a metallic film which can be removed by drying etching performed by utilizing a chemical reaction. The layer 4 is removed by the dry etching utilizing a chemical reaction so that no residue of the layer 4 can be left after etching and damages to the section 8a can be prevented at the time of

etching.

COPYRIGHT: (C)1994,JPO&Japio

DERWENT-ACC-NO: 1994-336371

DERWENT-WEEK: 199442

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Wiring on semiconductor device -  
incorporates electric supply film formed on lower layer  
film and forms metal film on electric supply film by  
electroplating process

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ]

PRIORITY-DATA: 1993JP-0045136 (March 5, 1993)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
*JP 06260482 A		September 16, 1994	N/A
012	H01L 021/3205		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 06260482A	N/A	
1993JP-0045136	March 5, 1993	

INT-CL (IPC): H01L021/3205

ABSTRACTED-PUB-NO: JP 06260482A

BASIC-ABSTRACT:

The wiring on semiconductor device includes a semiconductor substrate (1) that forms a lower layer film (2). The lower layer consists of three layers. The first layer is formed by titanium nitride, the second layer is made of tungsten silicon nitride and the top layer is formed by aluminium.

An electric supply film (4) that supplies current during electroplating is formed on the top of the lower layer wiring. A metal film (8a) is formed on the electric supply film by the electroplating process. A ground film (5) further helps in building the metal film. The electric supply film is then removed by dry etching to arrest the generation of scum.

ADVANTAGE - Reduces size. Prevents damage of electric part during etching.  
Maintains uniform film pressure.

CHOSEN-DRAWING: Dwg.3/32

TITLE-TERMS: WIRE SEMICONDUCTOR DEVICE INCORPORATE ELECTRIC  
SUPPLY FILM FORMING  
                    LOWER LAYER FILM FORM METAL FILM ELECTRIC  
SUPPLY FILM  
                    ELECTROPLATING PROCESS

DERWENT-CLASS: U11

EPI-CODES: U11-C05C7; U11-C05D3;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-264250

Part of IDS

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-260482

(43)Date of publication of application : 16.09.1994

(51)Int.Cl. H01L 21/3205

(21)Application number : 05-045136 (71)Applicant : MITSUBISHI ELECTRIC CORP

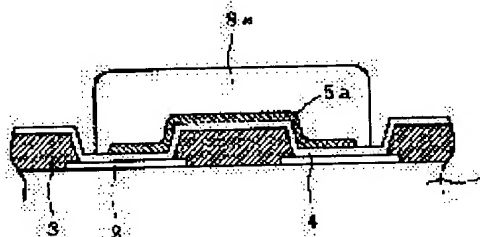
(22)Date of filing : 05.03.1993 (72)Inventor : MATSUOKA TAKASHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To improve the electrical characteristics and fineness of the wiring of a semiconductor device the wiring of which is formed by electroplating.

CONSTITUTION: A feeder layer 4 to be used at time of forming an electroplated section 8a by electroplating is constituted of a metallic film which can be removed by drying etching performed by utilizing a chemical reaction. The layer 4 is removed by the dry etching utilizing a chemical reaction so that no residue of the layer 4 can be left after etching and damages to the section 8a can be prevented at the time of etching.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-260482

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205		7514-4M	H 0 1 L 21/ 88	B

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21)出願番号 特願平5-45136

(22)出願日 平成5年(1993)3月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 松岡 敬

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社光・マイクロ波デバイス研究所内

(74)代理人 弁理士 高田 守

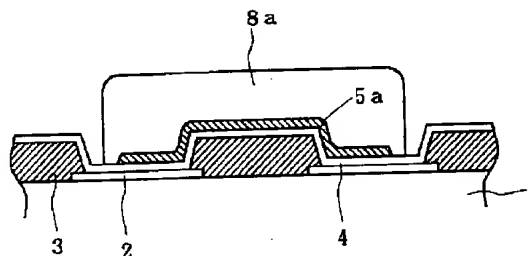
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 電気メッキで形成する配線を有する半導体装置において、電気的特性のよい、微細化が容易な配線を得ることを目的とする。

【構成】 電気メッキ部8aを電気メッキで形成するために必要な給電層4を化学反応を利用したドライエッチング法によって除去可能な金属膜で構成する。

【効果】 給電層4を化学反応を利用したドライエッチング法で除去することによって、給電層4のエッチング時の残渣を無くし、電気メッキ部8aのエッチング時の損傷を防止する。



## 【特許請求の範囲】

【請求項1】 基板上に形成された下層配線と、前記下層配線上に形成され、化学反応を用いるドライエッチング法で除去可能な給電膜と、前記給電膜上に電気メッキにより形成された金属膜からなる上層配線と、を備える、半導体装置。

【請求項2】 前記給電膜上に形成され、前記電気メッキによって前記金属膜を成長させるための下地膜をさらに備える、請求項1記載の半導体装置。

【請求項3】 前記下層配線の構成材料は、金を含み、前記給電膜は、前記下層配線と接して形成され、TiNよりなる第1層と、前記第1層上に形成され、WSiNよりなる第2層と、前記第2層上に形成され、アルミニウムよりなる第3層と、前記第3層上に形成され、WSiNよりなる第4層と、を含む、請求項1記載の半導体装置。

【請求項4】 前記下層配線の構成材料は、アルミニウムを含み、前記給電膜は、前記下層配線と接して形成され、WSiNよりなる第1層と、前記第1層上に形成され、アルミニウムよりなる第2層と、前記第2層上に形成され、WSiNよりなる第3層と、を含む、請求項1記載の半導体装置。

【請求項5】 主面上に下層配線が形成された基板を準備する工程と、前記基板の前記主面上に下層レジスト膜を形成する工程と、前記下層レジスト膜が形成されている前記基板の全面に給電層を形成する工程と、前記給電層上に上層レジスト膜を形成する工程と、前記上層レジスト膜をマスクとして、前記給電層上に、該給電層から給電して電気メッキにより金属膜を形成する工程と、前記上層レジスト膜を除去する工程と、前記金属膜をマスクとして化学反応を利用したドライエッチング法によって前記給電層を除去する工程と、前記下層レジスト膜を除去する工程と、を備える、半導体装置の製造方法。

【請求項6】 前記下層配線の構成材料は、金を含み、前記給電層を形成する工程は、前記下層配線と接して、TiNよりなる第1層を形成する工程と、前記第1層上に形成され、WSiNよりなる第2層を形成する工程と、前記第2層上に形成され、アルミニウムよりなる第3層

を形成する工程と、前記第3層上に形成され、WSiNよりなる第4層を形成する工程と、を含む、請求項5記載の半導体装置の製造方法。

【請求項7】 前記下層配線の構成材料は、アルミニウムを含み、前記給電層を形成する工程は、前記下層配線と接して形成され、WSiNよりなる第1層を形成する工程と、前記第1層上に形成され、アルミニウムよりなる第2層を形成する工程と、前記第2層上に形成され、WSiNよりなる第3層を形成する工程と、を含む、請求項5記載の半導体装置の製造方法。

【請求項8】 前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記給電層上の領域のうち前記金属膜が形成されるべき領域あるいはその一部に、リフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程をさらに備える、請求項5記載の半導体装置の製造方法。

【請求項9】 前記上層レジスト膜を形成する工程の後、前記金属膜を形成する工程の前に、前記金属膜が形成されるべき部分を除く前記給電層上に、レジストパターンを形成する工程と、前記レジストパターンをマスクとして、イオンミリング法を用い、前記給電層上に、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程と、

30 前記レジストパターンを除去する工程と、をさらに備える、請求項5記載の半導体装置の製造方法。

【請求項10】 前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記金属膜が形成されるべき領域を除く前記給電層上に、リフトオフのためのレジスト膜を形成する工程と、前記リフトオフのためのレジスト膜をマスクとして前記給電層を除去する工程と、前記リフトオフのためのレジスト膜をマスクとして用いたリフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程と、をさらに備える、請求項5記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置に関し、特に半導体装置で用いられる電気メッキにより形成された配線及びその製造方法に関するものである。

【0002】



【従来の技術】図32は、電気メッキにより形成された従来の配線の構造を示す断面図である。図において、1は半導体基板、2は半導体基板1上に形成された第1層配線、8は半導体基板1上に電気メッキによって形成された第2層配線の電気メッキ部、9aは電気メッキ部8を形成するための電気を供給する給電膜であり、給電膜9aはAu系のスパッタ膜である。ここで、給電膜9aは、電気メッキによって電気メッキ部8の形成が終了した後に、電気メッキ部8の下部を除いてエッチングで除去された給電層の一部である。そして、電気メッキ部8は給電膜9aを介して第1層配線2に接続している。

【0003】次に、従来の電気メッキによる配線の製造方法について図27から図32を用いて説明する。図27から図32は従来の電気メッキによる配線の製造工程を示す断面図である。図27に示すように、まず、半導体基板1上にリフトオフ法を用いて所定の位置に第1層配線2を形成する。通常、第1層配線2にはAu系の金属を用いる。次に、それぞれ接続すべき第1層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図28)。この下層レジスト膜3は、最終工程で給電層除去のために用いるイオンミリングによる損傷が半導体基板1に及ぶのを防止する働きがある。次に、図29に示すように、半導体基板1の全面に給電層9としてスパッタ法によりAu系の金属膜を形成する。そして、第2層配線を形成する部分を除く半導体基板1の全面に上層レジスト膜7を形成し、電気メッキによって上層レジスト膜7の開口部の給電層9上にAuメッキを施して電気メッキ部8を形成する(図30)。給電層9に用いられるAu系の金属膜は、金メッキより成る電気メッキ部8との付着力を向上する働きがある。次に、上層レジスト膜7を除去する。そして、イオンミリング法を用いて給電膜9aを残して給電層9の除去を行う(図31)。最後に下層レジスト膜3を除去して配線が完了する(図32)。

#### 【0004】

【発明が解決しようとする課題】従来の電気メッキによる配線及びその製造方法は以上のように構成されているので、給電層9に用いられているスパッタ法で形成されたAu系の金属膜を除去するためには、物理的スパッタ法でエッチングを行うイオンミリング法によらなければならない。また、スパッタ時の照射角度等の条件によってはひさしとなる部分に残渣が発生する等の問題点があった。そして、この残渣によって配線の間隔が狭くなると隣合うパターン間で短絡が起き易くなり、微細化が困難となるという問題点が発生する。また、電気メッキで形成した電気メッキ部8もイオンミリングを行う際に同時にエッチングされ、電気メッキ部8のメッキ厚が減少するという問題点もあった。

【0005】この発明は上記のような問題点を解消するためになされたもので、イオンミリング法以外の方法で

除去可能な給電層を用いることによって、微細化が容易で電気メッキによって形成した部分に損傷の残らない配線を得ることを目的としており、その配線に適した製造方法を提供することを目的としている。

#### 【0006】

【課題を解決するための手段】第1の発明に係る半導体装置は、基板上に形成された下層配線と、前記下層配線上に形成され、化学反応を用いるドライエッチング法で除去可能な給電膜と、前記給電膜上に電気メッキにより形成された金属膜からなる上層配線とを備えて構成されている。

【0007】第2の発明に係る半導体装置は、第1の発明の半導体装置において、前記給電膜上に形成され、前記電気メッキによって前記金属膜を成長させるための下地膜をさらに備えて構成されている。

【0008】第3の発明に係る半導体装置は、第1の発明の半導体装置において、前記下層配線の構成材料は、金を含み、前記給電膜は、前記下層配線と接して形成され、TiNよりなる第1層と、前記第1層上に形成され、WSiNよりなる第2層と、前記第2層上に形成され、アルミニウムよりなる第3層と、前記第3層上に形成され、WSiNよりなる第4層とを含むことを特徴とする。

【0009】第4の発明に係る半導体装置は、第1の発明の半導体装置において、前記下層配線の構成材料は、アルミニウムを含み、前記給電膜は、前記下層配線と接して形成され、WSiNよりなる第1層と、前記第1層上に形成され、アルミニウムよりなる第2層と、前記第2層上に形成され、WSiNよりなる第3層と、を含むことを特徴とする。

【0010】第5の発明に係る半導体装置の製造方法は、主面上に下層配線が形成された基板を準備する工程と、前記基板の前記主面上に下層レジスト膜を形成する工程と、前記下層レジスト膜が形成されている前記基板の全面に給電層を形成する工程と、前記給電層上に上層レジスト膜を形成する工程と、前記上層レジスト膜をマスクとして、前記給電層上に、該給電層から給電して電気メッキにより金属膜を形成する工程と、前記上層レジスト膜を除去する工程と、前記金属膜をマスクとして化学反応を利用したドライエッチング法によって前記給電層を除去する工程と、前記下層レジスト膜を除去する工程とを備えて構成されている。

【0011】第6の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記下層配線の構成材料は、金を含み、前記給電層を形成する工程は、前記下層配線と接して形成され、TiNよりなる第1層を形成する工程と、前記第1層上に形成され、WSiNよりなる第2層を形成する工程と、前記第2層上に形成され、アルミニウムよりなる第3層を形成する工程と、前記第3層上に形成され、WSiNよりなる

5

る第4層を形成する工程とを含むことを特徴とする。

【0012】第7の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記下層配線の構成材料は、アルミニウムを含み、前記給電層を形成する工程は、前記下層配線と接して形成され、WSiNよりなる第1層を形成する工程と、前記第1層上に形成され、アルミニウムよりなる第2層を形成する工程と、前記第2層上に形成され、WSiNよりなる第3層とを形成する工程を含むことを特徴とする。

【0013】第8の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記給電層上の領域のうち前記金属膜が形成されるべき領域あるいはその一部に、リフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程をさらに備えて構成されている。

【0014】第9の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記上層レジスト膜を形成する工程の後、前記金属膜を形成する工程の前に、前記金属膜が形成されるべき部分を除く前記給電層上に、レジストパターンを形成する工程と、前記レジストパターンをマスクとして、イオンミリング法を用い、前記給電層上に、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程と、前記レジストパターンを除去する工程とをさらに備えて構成されている。

【0015】第10の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記金属膜が形成されるべき領域を除く前記給電層上に、リフトオフのためのレジスト膜を形成する工程と、前記リフトオフのためのレジスト膜をマスクとして前記給電層を除去する工程と、前記リフトオフのためのレジスト膜をマスクとして用いたリフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程とをさらに備えて構成されている。

【0016】

【作用】第1の発明における給電膜は、化学反応を用いたドライエッチング法で除去可能であるため、電気メッキにより形成された金属膜に損傷を与えることなく、給電膜を除去でき、また、給電膜の残渣を残すことなく除去できるので配線間での短絡が発生し難くなり、性能がよく、微細化の容易な半導体装置が得られる。

【0017】第2の発明における下地膜によって、給電膜上に金属膜を容易に形成することができる。

【0018】第3の発明における給電膜の第1層は、TiNよりなり第1層配線との付着力を向上する。第3層は、アルミニウムよりなり、給電膜の低抵抗化に寄与し

6

ている。第3層と第4層は、WSiNよりなり、第3層上に形成されたアルミニウムと第1層配線及び電気メッキによって形成される金属膜との反応を防止することができる。

【0019】第4の発明における給電膜の第1層は、TiNよりなり第1層配線との付着力を向上する。給電膜の第2層はアルミニウムよりなり、給電膜の低抵抗化に寄与している。給電膜の第3層はWSiNよりなり、電気メッキによって形成される金属膜との反応を防止することができる。

【0020】第5の発明における金属膜をマスクとして化学反応を利用したドライエッチング法によって給電層を除去する工程は、化学反応を利用しているため、金属膜を損傷することがなく、給電層が残渣として残ることを防止することができる。

【0021】第6の発明における給電層の第1層を形成する工程は、TiNよりなる層を形成するので、第1層配線との付着力を向上するとともに、下層レジスト膜からの出ガスを防止することができる。第3層を形成する工程によって、アルミニウムよりなる層を形成でき、低抵抗化した給電層を形成できる。第2層と第4層を形成する工程によって、WSiNよりなるバリア層を形成でき、第3層に形成されたアルミニウムと第1層配線及び電気メッキによって形成される金属膜との反応を防止しながら半導体装置を形成することができる。

【0022】第7の発明における給電層の第1層を形成する工程は、TiNよりなる層を形成するので、第1層配線との付着力を向上するとともに、下層レジスト膜からの出ガスを防止することができる。給電層の第2層を形成する工程によって、アルミニウムよりなる層を形成でき、低抵抗化した給電層を形成できる。給電層の第3層を形成する工程によって、WSiNよりなる層を形成でき、電気メッキによって形成される金属膜との反応を防止しながら半導体装置を形成することができる。

【0023】第8の発明における電気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程は、給電層を形成する工程の後、上層レジスト膜を形成する工程の前に行われ、この下地膜によって給電層上に容易に金属膜を形成することができる。

【0024】第9の発明におけるイオンミリング法を用いて金属膜を成長させるための下地膜を形成する工程により、電気メッキによって形成される金属膜を給電層上に容易に形成することができる。

【0025】第10の発明における下地膜を形成する工程は、電気メッキによって下地膜上に金属膜を容易に形成することができ、リフトオフのためのレジスト膜をマスクとして給電層を除去する工程によって、給電層を取り除いた領域に金属膜を形成することができる。

【0026】

【実施例】以下、この発明の第1実施例を図について説

7

明する。図1から図9はこの発明の第1実施例による半導体装置の製造工程を示す断面図であり、図9は、電気メッキにより形成された配線の構造を示す断面図である。図において、1は半導体基板、2は半導体基板1上に形成された下層配線、8aは半導体基板1上に電気メッキによって形成された上層配線の電気メッキ部、4aは電気メッキ部8を形成するための電気を供給する給電層のうちの電気メッキ部8a直下の領域に残された給電膜であり、給電膜4aは多層構造の膜、5aは給電層上の電気メッキ部8aを形成すべき部分に電気メッキ部8aを成長させるために設けられるAu系の下地膜である。ここで、給電層4は、電気メッキによって電気メッキ部8aの形成が終了した後に、電気メッキ部8aの下部を除いてエッチングで除去されている。そして、電気メッキ部8aは給電層及び下地膜5aを介して下層配線2に接続している。

【0027】次に、この発明の第1実施例による電気メッキ配線の製造方法について図1から図9を用いて説明する。まず、図1に示すように従来と同様にリフトオフ法を用いて下層配線2を形成する。下層配線2にAu系の金属を用いる。次に、それぞれ接続すべき下層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図2)。次に、図3に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。

【0028】給電層4の構成は、下層配線2と接する最下層に下層配線2との付着力の向上とレジストからの出ガスとを防止することを目的として基板全面にスパッタリングによってTiNの層が設けられ、その上の第2層にバリアメタル層としてWSiNが設けられ、その上の第3層に給電層4の低抵抗化を目的としてアルミニウムの層が形成され、最上層の第4層にバリアメタル層としてWSiNが設けられる。第2層に設けられているWSiNは第3層のアルミニウムと下層配線2のAuとの反応を防止しており、第4層に設けられているWSiNは第3層のアルミニウムと電気メッキ部のAuとの反応を防止する役割がある。この給電層4は各層の間に酸化膜ができることを防止するため真空中で連続的に形成された多層膜である。

【0029】次に、上層配線を形成する部分を除く半導体基板1の全面にレジストパターン6を形成し、電気メッキによって金を形成すべき部分に下地膜を形成するためのAu系の薄膜5をリフトオフ法によって形成する(図4)。WSiN上には、電気メッキ法でAuを形成することが不可能なため、メッキ成長が可能となるようにAuの薄膜5を形成する。例えば、Au系の薄膜としてTi/Auの積層膜等があり、この場合は、WSiNとの付着力をTiによって向上させ、その上のAuの上に金メッキを施すことができる。

【0030】そして、レジストパターン6を除去して下

8

地膜5aを形成し(図5)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4上にAuメッキを施して電気メッキ部8aを形成する(図6)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜圧が用いられる。次に、上層レジスト膜7を除去する(図7)。そして、化学反応を利用したドライエッチング法で電気メッキ部8aをマスクとして給電膜4aを残して給電層4の除去を行う(図8)。最後に下層レジスト膜3を除去して配線が完了する(図9)。給電層4は化学反応を利用したドライエッチングで行うため、従来のようにイオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8aの金メッキが少なくなる等の損傷がなく、膜圧の均一性が向上する。

【0031】以下、この発明の第2実施例を図について説明する。図10から図18はこの発明の第2実施例による半導体装置の製造工程を示す断面図であり、図18は、電気メッキにより形成された配線の構造を示す断面図である。図において、8bは半導体基板1上に電気メッキによって形成された上層配線の電気メッキ部、4bは電気メッキ部8bを形成するための電気を供給する給電層のうちの電気メッキ部8b直下の部分に残った給電膜であり、給電膜4bは多層構造の膜、5bは給電層上の電気メッキ部8bを形成すべき領域に電気メッキ部8bを形成するために設けられるAu系の下地膜である。ここで、給電層は、電気メッキによって電気メッキ部8bの形成が終了した後に、電気メッキ部8bの下部を除いてエッチングで除去されている。そして、電気メッキ部8bは給電膜5c及び下地膜5bを介して下層配線2に接続している。

【0032】次に、この発明の第2実施例による電気メッキ配線の製造方法について図10から図18を用いて説明する。まず、図10に示すように従来と同様にリフトオフ法を用いて下層配線2を形成する。下層配線2にAu系の金属を用いる。次に、それぞれ接続すべき下層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図11)。次に、図12に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。給電層4の構成は、第1実施例で示した給電層4と同じ構成である。同様に、給電層4の上の半導体基板1の全面にTi/AuよりなるAu系の金属薄膜5を形成する。WSiN上には、電気メッキ法でAuを形成することが不可能なため、メッキ成長が可能となるようにAuの薄膜5を形成する。半導体基板1の電気メッキによって金を選択成長させるべき部分にマスクとしてレジストパターン10を形成し(図13)、レジスト

パターン10をマスクとしてイオンミリング法によって最上層のAu層のみの除去を行い、金属薄膜5のパターニングを行い、下地膜5bを形成する(図14)。その際Auの厚みが例えば1000オングストローム程度の薄膜であれば、残渣等の発生なく形成が可能である。

【0033】そして、レジストパターン10を除去し(図15)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4上にAuメッキを施して電気メッキ部8bを形成する(図16)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜圧が用いられる。次に、上層レジスト膜7を除去する。そして、化学反応を利用したドライエッチング法で電気メッキ部8bをマスクとして給電膜4bを残して給電層4の除去を行う(図17)。最後に下層レジスト膜3を除去して配線が完了する(図18)。給電層4は化学反応を利用したドライエッチングで行うため、イオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8bの金メッキが少なくなる等の損傷がなく、膜圧の均一性が向上する。

【0034】以下、この発明の第3実施例を図について説明する。図19から図26はこの発明の第3実施例による半導体装置の製造工程を示す断面図であり、図26は、電気メッキにより形成された配線の構造を示す断面図である。図において、8cは半導体基板1上に電気メッキによって形成された上層配線の電気メッキ部、5cは電気メッキ部8cを形成すべき領域に給電層と電氣的に接続されて電気メッキ部8cを形成するために設けられるAu系の下地膜である。ここで、給電層は、下地膜5cを形成する前に、電気メッキ部8cの形成される部分がエッチングで除去されている。そして、電気メッキ部8cは下地膜5cを介して下層配線2に接続している。

【0035】次に、この発明の第3実施例による電気メッキ配線の製造方法について図19から図26を用いて説明する。まず、図1に示すように従来と同様にリフトオフ法を用いて下層配線2を形成する。下層配線2にAu系の金属を用いる。次に、それぞれ接続すべき下層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図2)。次に、図3に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。次に、図3に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。ここまでは第1実施例と同様に行う。給電層4の構成は、第1実施例で示した給電層4と同じ構成である。

【0036】次に、上層配線を形成する部分を除く半導体基板1の全面にレジストパターン6を形成し(図1

9)、レジストパターン6をマスクとして給電層4のエッチングを行う(図20)。次に、電気メッキによって金を形成すべき部分に下地膜を形成するためのAu系の薄膜5をリフトオフ法によって形成する(図21)。

【0037】そして、レジストパターン6を除去し(図22)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4と電氣的に接続している下地膜5c上に金メッキを施して電気メッキ部8cを形成する(図23)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜圧が用いられる。次に、上層レジスト膜7を除去する(図24)。そして、化学反応を利用したドライエッチング法で電気メッキ部8cをマスクとして給電層4の除去を行う(図25)。この時、給電層4は電気メッキ部8cの下には存在しないので、配線が終了した後、給電層4は配線内には残っていない。最後に下層レジスト膜3を除去して配線が完了する(図26)。給電層4は化学反応を利用したドライエッチングで行うため、イオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8cの金メッキが少なくなる等の損傷がなく、膜圧の均一性が向上する。

【0038】なお、上記第1～第3実施例では、下層配線2にAu系の薄膜を用いたが、下層配線にアルミニウムを用いてもよく。この場合、給電層4の構成を、最下層からTiN/アルミニウム/WSiNの構造すれば、上記各実施例と同様に半導体装置を構成することができる。この場合、下層配線2がアルミニウムであるため、TiNとアルミニウムとの間のバリアメタル層を省くことができる。この給電層4は各層の間に酸化膜ができることを防止するため真空中で連続的に形成された多層膜である。

【0039】また、上記第1～第3実施例において、給電層4の上に形成された下地膜5a～5cに比べて上層レジスト膜7の開口サイズが広がっているが、逆に開口サイズを小さくして電気メッキ部8a～8cよりも下地膜5a～5cの面積のほうが大きくても良い。

【0040】

【発明の効果】以上のように請求項1記載の発明の半導体装置によれば、下層配線上に形成され、化学反応を用いるドライエッチング法で除去可能な給電膜を備えて構成されているので、膜圧が均一で電氣的性能がよく、給電膜の残渣を発生しないので微細化の容易な半導体装置が得られるという効果がある。

【0041】請求項2記載の発明の半導体装置によれば、給電膜と金属膜との間に、給電膜及び金属膜に接して形成され、電気メッキによって金属膜を成長させるた

めの下地膜を備えて構成されているので、電気メッキによる金属膜の形成が容易な半導体装置を得られるという効果がある。

【0042】請求項3記載の発明の半導体装置によれば、下層配線の構成材料は、金を含み、給電膜は、下層配線と接して形成され、TiNよりなる第1層と、第1層上に形成され、WSiNよりなる第2層と、第2層上に形成され、アルミニウムよりなる第3層と、第3層上に形成され、WSiNよりなる第4層とを備えて構成されているので、化学反応を用いるドライエッチング法で除去可能な給電膜を用いた電気メッキによって形成された金属膜を有する半導体装置を得ることができるという効果がある。

【0043】請求項4記載の発明の半導体装置によれば、下層配線の構成材料は、アルミニウムを含み、給電膜は、下層配線と接して形成され、WSiNよりなる第1層と、第1層上に形成され、アルミニウムよりなる第2層と、第2層上に形成され、WSiNよりなる第3層とを含むように構成されているので、化学反応を用いるドライエッチング法で除去可能な給電膜を用いた電気メッキによって形成された金属膜を有する半導体装置を得ることができるという効果がある。

【0044】請求項5記載の発明の半導体装置によれば、金属膜をマスクとして化学反応を利用したドライエッチング法によって給電層を除去する工程を備えて構成されているので、膜圧が均一で電気的性能がよく、給電層の残渣を発生しないので微細化の容易な半導体装置が得られるという効果がある。

【0045】請求項6記載の発明の半導体装置によれば、下層配線の構成材料は、金を含み、給電層を形成する工程は、下層配線と接して形成され、TiNよりなる第1層と、第1層上に形成され、WSiNよりなる第2層を形成する工程と、第2層上に形成され、アルミニウムよりなる第3層を形成する工程と、第3層上に形成され、WSiNよりなる第4層を形成する工程とを含むように構成されているので、化学反応を用いるドライエッチング法で除去可能な給電層を用いて金属膜を容易に形成することができるという効果がある。

【0046】請求項7記載の発明の半導体装置によれば、下層配線の構成材料は、アルミニウムを含み、給電層を形成する工程は、下層配線と接して形成され、WSiNよりなる第1層を形成する工程と、第1層上に形成され、アルミニウムよりなる第2層を形成する工程と、第2層上に形成され、WSiNよりなる第3層を形成する工程とを含むように構成されているので、化学反応を用いるドライエッチング法で除去可能な給電層を用いて金属膜を容易に形成することができるという効果がある。

【0047】請求項8記載の発明の半導体装置によれば、給電層を形成する工程の後、上層レジスト膜を形成

する工程の前に、給電層上の領域のうち金属膜が形成されるべき領域あるいはその一部に、リフトオフ法により、電気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程を備えて構成されているので、給電層上に容易に金属膜を形成することができるという効果がある。

【0048】請求項9記載の発明の半導体装置によれば、上層レジスト膜を形成する工程の後、金属膜を形成する工程の前に、金属膜が形成されるべき部分を除く給電層上に、レジストパターンを形成する工程と、レジストパターンをマスクとして、イオンミリング法を用い、給電層上に、電気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程と、レジストパターンを除去する工程とを備えて構成されているので、給電層上に容易に金属膜を形成することができるという効果がある。

【0049】請求項10記載の発明の半導体装置によれば、給電層を形成する工程の後、上層レジスト膜を形成する工程の前に、金属膜が形成されるべき領域を除く給電層上に、リフトオフのためのレジスト膜を形成する工程と、リフトオフのためのレジスト膜をマスクとして給電層を除去する工程と、リフトオフのためのレジスト膜をマスクとして用いたリフトオフ法により、電気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程とを備えて構成されているので、金属膜と下層配線との間の給電層を除いて下層配線に下地膜を介して直接金属膜を形成することができ、電気的特性の良い半導体装置を形成することができるという効果がある。

#### 【図面の簡単な説明】

【図1】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図2】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図3】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図4】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図5】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図6】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図7】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図8】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図9】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図10】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

13

【図11】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図12】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図13】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図14】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図15】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図16】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図17】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図18】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図19】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

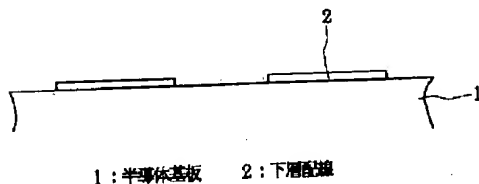
【図20】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図21】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図22】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図23】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図1】



14

【図24】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図25】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図26】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図27】従来の半導体装置の製造工程を示す断面図である。

【図28】従来の半導体装置の製造工程を示す断面図である。

【図29】従来の半導体装置の製造工程を示す断面図である。

【図30】従来の半導体装置の製造工程を示す断面図である。

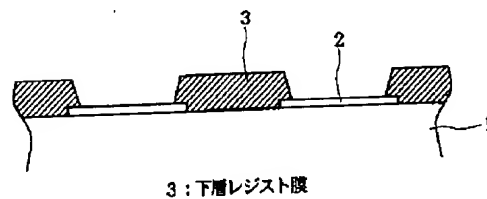
【図31】従来の半導体装置の製造工程を示す断面図である。

【図32】従来の半導体装置の製造工程を示す断面図である。

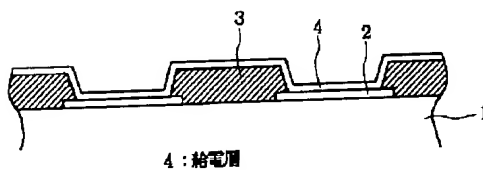
## 【符号の説明】

- 1 半導体基板
- 2 下層配線
- 3 下層レジスト膜
- 4 給電膜
- 5a~5c 下地膜
- 7 上層レジスト膜
- 8a~8c 電気メッキ部

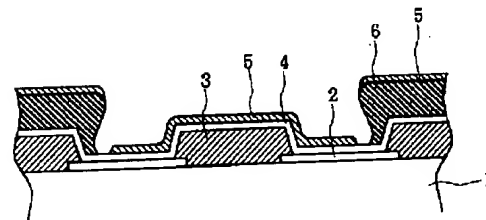
【図2】



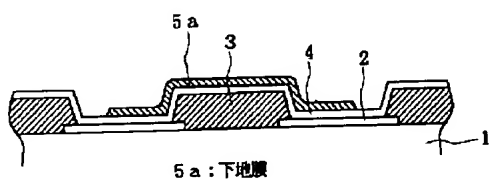
【図3】



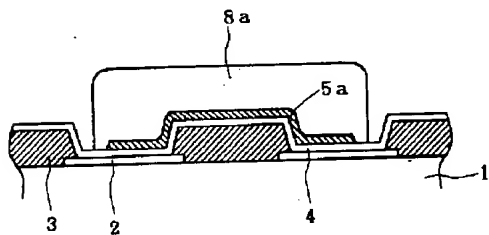
【図4】



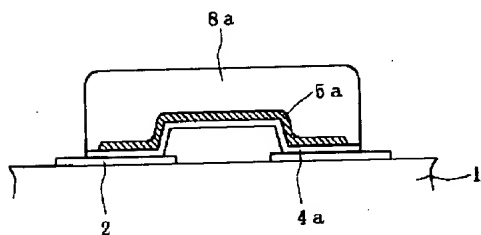
【図5】



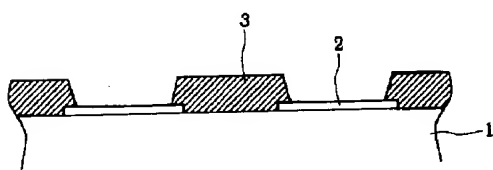
【図7】



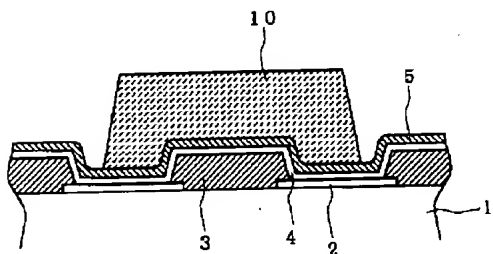
【図9】



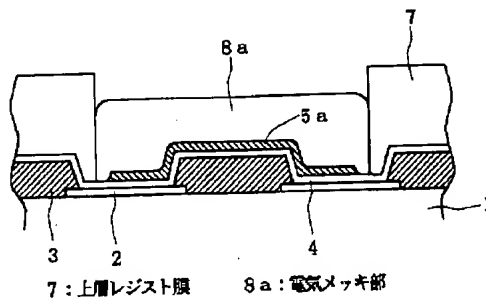
【図11】



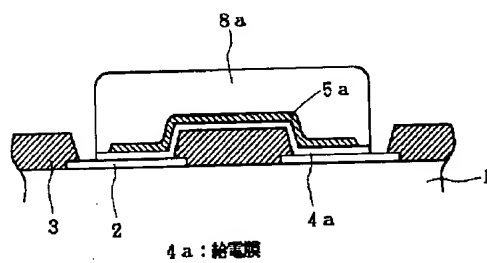
【図13】



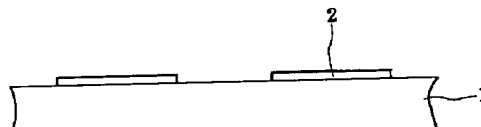
【図6】



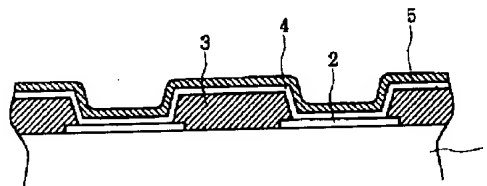
【図8】



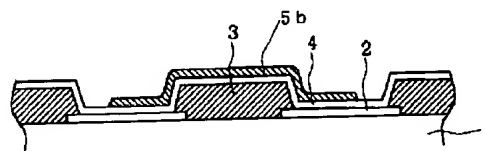
【図10】



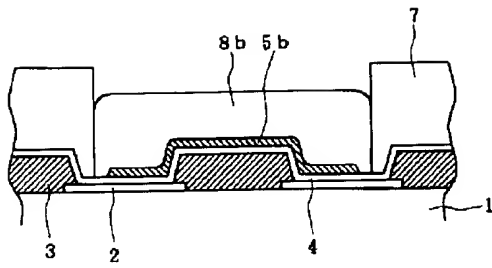
【図12】



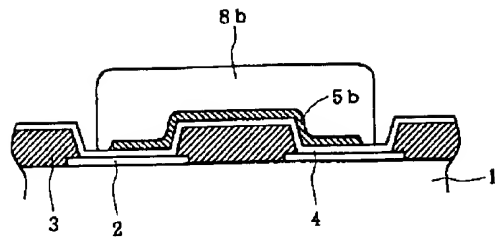
【図14】



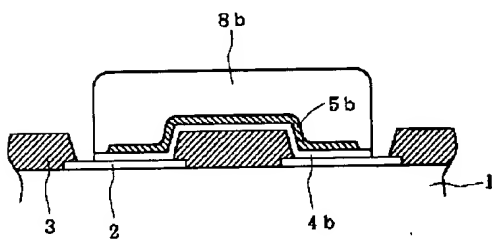
【図15】



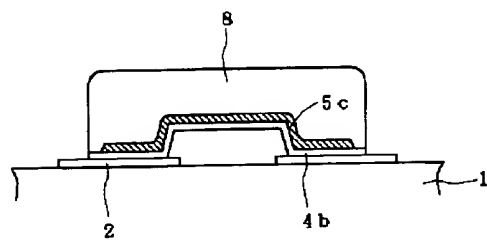
【図16】



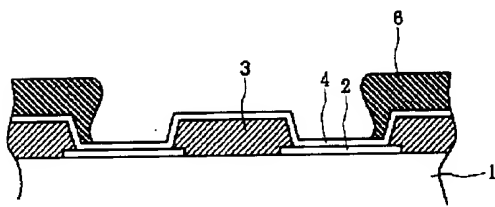
【図17】



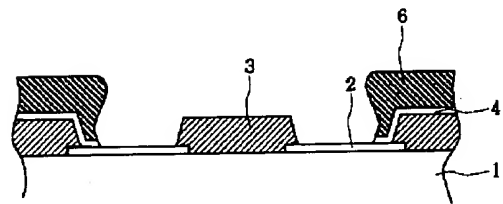
【図18】



【図19】

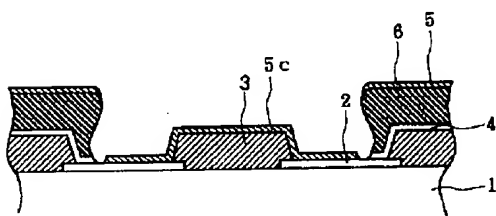


【図20】

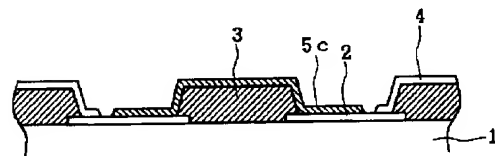


Tapered.

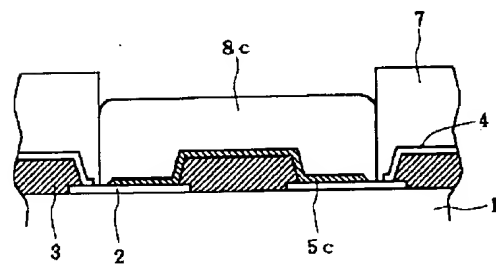
【図21】



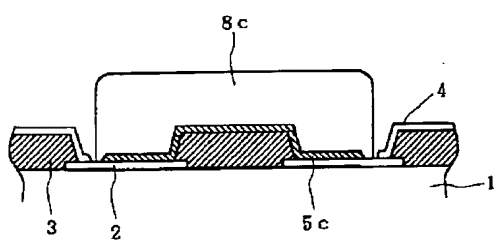
【図22】



【図23】

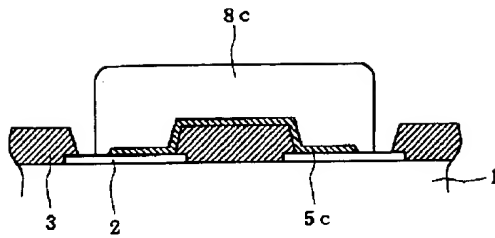


【図24】

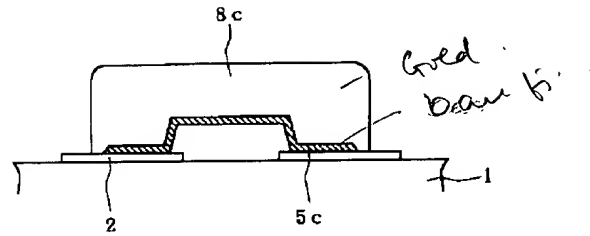




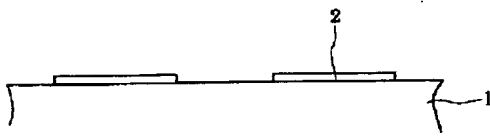
【図25】



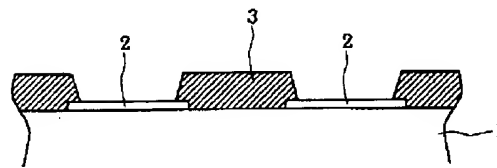
【図26】



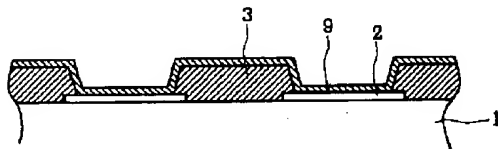
【図27】



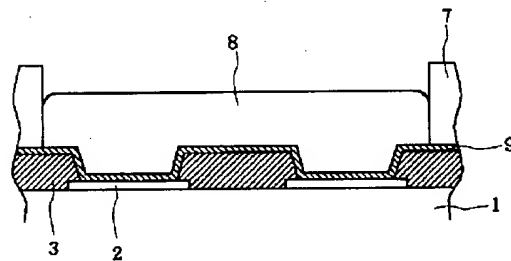
【図28】



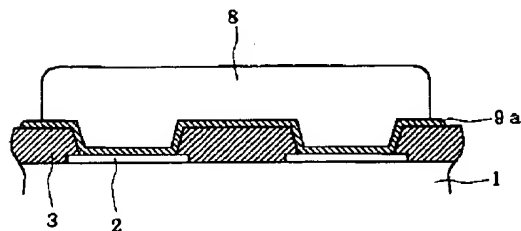
【図29】



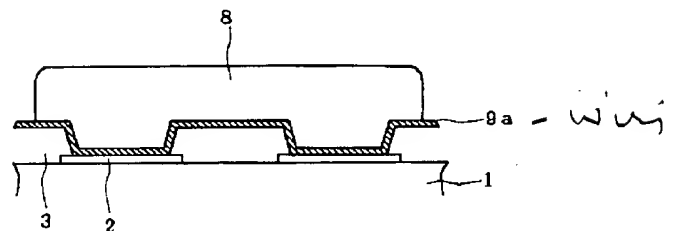
【図30】



【図31】



【図32】



## 【手続補正書】

【提出日】平成5年7月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】次に、従来の電気メッキによる配線の製造方法について図27から図32を用いて説明する。図2

7から図32は従来の電気メッキによる配線の製造工程を示す断面図である。図27に示すように、まず、半導体基板1上にリフトオフ法を用いて所定の位置に第1層配線2を形成する。通常、第1層配線2にはAu系の金属を用いる。次に、それぞれ接続すべき第1層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図28)。この下層レジスト膜3は、最終工程で給電層除去のために用いるイオンミリングによる損傷が半導

体基板1に及ぶのを防止する働きがある。次に、図29に示すように、半導体基板1の全面に給電層9としてスパッタ法によりAu系の金属膜を形成する。そして、第2層配線を形成する部分を除く半導体基板1の全面に上層レジスト膜7を形成し、電気メッキによって上層レジスト膜7の開口部の給電層9上にAuメッキを施して電気メッキ部8を形成する(図30)。給電層9に用いられているAu系の金属膜は、金メッキより成る電気メッキ部8との付着力を向上させる働きがある。次に、上層レジスト膜7を除去する。そして、イオンミリング法を用いて給電膜9aを残して給電層9の除去を行う(図31)。最後に下層レジスト膜3を除去して配線が完了する(図32)。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】そして、レジストパターン6を除去して下地膜5aを形成し(図5)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4上にAuメッキを施して電気メッキ部8aを形成する(図6)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜厚が用いられる。次に、上層レジスト膜7を除去する(図7)。そして、化学反応を利用したドライエッチング法で電気メッキ部8aをマスクとして給電膜4aを残して給電層4の除去を行う(図8)。最後に下層レジスト膜3を除去して配線が完了する(図9)。給電層4は化学反応を利用したドライエッチングで行うため、従来のようにイオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8aの金メッキが少なくなる等の損傷がなく、膜厚の均一性が向上する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】そして、レジストパターン10を除去し

(図15)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4上にAuメッキを施して電気メッキ部8bを形成する(図16)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜厚が用いられる。次に、上層レジスト膜7を除去する。そして、化学反応を利用したドライエッチング法で電気メッキ部8bをマスクとして給電膜4bを残して給電層4の除去を行う(図17)。最後に下層レジスト膜3を除去して配線が完了する(図18)。給電層4は化学反応を利用したドライエッチングで行うため、イオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8bの金メッキが少なくなる等の損傷がなく、膜厚の均一性が向上する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】そして、レジストパターン6を除去し(図22)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4と電気的に接続している下地膜5c上に金メッキを施して電気メッキ部8cを形成する(図23)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜厚が用いられる。次に、上層レジスト膜7を除去する(図24)。そして、化学反応を利用したドライエッチング法で電気メッキ部8cをマスクとして給電層4の除去を行う(図25)。この時、給電層4は電気メッキ部8cの下には存在しないので、配線が終了した後、給電層4は配線内には残っていない。最後に下層レジスト膜3を除去して配線が完了する(図26)。給電層4は化学反応を利用したドライエッチングで行うため、イオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8cの金メッキが少なくなる等の損傷がなく、膜厚の均一性が向上する。

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 2] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 3] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 4] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 5] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 6] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 7] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 8] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 9] It is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention.

[Drawing 10] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 11] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 12] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 13] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 14] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 15] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 16] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 17] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 18] It is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention.

[Drawing 19] It is the cross section showing the manufacturing process of the semiconductor device by

the 3rd example of this invention.

[Drawing 20] It is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention.

[Drawing 21] It is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention.

[Drawing 22] It is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention.

[Drawing 23] It is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention.

[Drawing 24] It is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention.

[Drawing 25] It is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention.

[Drawing 26] It is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention.

[Drawing 27] It is the cross section showing the manufacturing process of the conventional semiconductor device.

[Drawing 28] It is the cross section showing the manufacturing process of the conventional semiconductor device.

[Drawing 29] It is the cross section showing the manufacturing process of the conventional semiconductor device.

[Drawing 30] It is the cross section showing the manufacturing process of the conventional semiconductor device.

[Drawing 31] It is the cross section showing the manufacturing process of the conventional semiconductor device.

[Drawing 32] It is the cross section showing the manufacturing process of the conventional semiconductor device.

[Description of Notations]

1 Semiconductor Substrate

2 Lower Layer Wiring

3 Lower Layer Resist Film

4 Electric Supply Film

5a-5c Ground film

7 The Upper Resist Film

8a-8c Electroplating section

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the wiring formed of electroplating used with a semiconductor device, and its manufacture method about a semiconductor device.

[0002]

[Description of the Prior Art] Drawing 32 is the cross section showing the structure of the conventional wiring formed of electroplating. In drawing, the electroplating section of the 1st-layer wiring with which 1 was formed in the semiconductor substrate and 2 was formed on the semiconductor substrate 1, and the 2nd-layer wiring with which 8 was formed of electroplating on the semiconductor substrate 1, and 9a are electric supply films which supply the electrical and electric equipment for forming the electroplating section 8, and electric supply film 9a is the spatter film of Au system. Here, electric supply film 9a is a part of electric supply layer removed by etching except for the lower part of the electroplating section 8, after formation of the electroplating section 8 is completed by electroplating. And the electroplating section 8 is connected to the 1st-layer wiring 2 through electric supply film 9a.

[0003] Next, the manufacture method of wiring by the conventional electroplating is explained using drawing 32 from drawing 27. Drawing 27 to drawing 32 is the cross section showing the manufacturing process of wiring by the conventional electroplating. As shown in drawing 27, first, on the semiconductor substrate 1, the lift-off method is used and the 1st-layer wiring 2 is formed at a position. Usually, the metal of Au system is used for the 1st-layer wiring 2. Next, except for the field after the 1st-layer wiring 2 which should connect, respectively, the lower layer resist film 3 is formed alternatively (drawing 28). This lower layer resist film 3 has the work which prevents that the injury by the ion milling used by the final process for electric supply layer removal attains to the semiconductor substrate 1. Next, as shown in drawing 29, the metal membrane of Au system is formed by the spatter as an electric supply layer 9 all over the semiconductor substrate 1. And the upper resist film 7 is formed all over the semiconductor substrate 1 except the portion which forms the 2nd-layer wiring, by electroplating, on the electric supply layer 9 of opening of the upper resist film 7, Au plating is given and the electroplating section 8 is formed (drawing 30). The metal membrane of Au system which is used for the electric supply layer 9 and is has the work which improves adhesion force with the electroplating section 8 which consists of gold plate. Next, the upper resist film 7 is removed. And it leaves electric supply film 9a using the ion milling method, and the electric supply layer 9 is removed (drawing 31). Finally the lower layer resist film 3 is removed, and wiring is completed (drawing 32).

[0004]

[Problem(s) to be Solved by the Invention] Since the wiring by the conventional electroplating and its manufacture method are constituted as mentioned above and are, in order to remove the metal membrane of Au system formed by the spatter used for the electric supply layer 9, it had to be based on the ion milling method which etches by the physical spatter, and the trouble of a residue occurring was in the portion used as eaves depending on conditions, such as the degree of illuminating angle at the time of a spatter. And if the interval of wiring becomes narrow by this residue, a short circuit will

become easy to occur between \*\*\*\*\* patterns, and the trouble that detailed-ization becomes difficult will occur. Moreover, when the electroplating section 8 formed by electroplating also performed ion milling, it \*\*\*\*\*ed simultaneously, and there was also a trouble that plating \*\* of the electroplating section 8 decreased.

[0005] By having been made in order that this invention might cancel the above troubles, and using an electric supply layer removable by methods other than the ion milling method, detailed-izing is easy, and aims at obtaining the wiring with which an injury does not remain into the portion formed by electroplating, and it aims at offering the manufacture method suitable for the wiring.

[0006]

[Means for Solving the Problem] The semiconductor device concerning the 1st invention is formed on the lower layer wiring formed on the substrate, and the aforementioned lower layer wiring, is equipped with the upper wiring which consists of an electric supply film removable by the dry etching method using a chemical reaction, and a metal membrane formed of electroplating on the aforementioned electric supply film, and is constituted.

[0007] In the semiconductor device of the 1st invention, the semiconductor device concerning the 2nd invention is formed on the aforementioned electric supply film, is further equipped with the ground film for growing up the aforementioned metal membrane by the aforementioned electroplating, and is constituted.

[0008] The semiconductor device concerning the 3rd invention is set to the semiconductor device of the 1st invention. the component of the aforementioned lower layer wiring The 1st layer which the aforementioned electric supply film is formed in contact with the aforementioned lower layer wiring, and consists of TiN including gold, It is characterized by including the 2nd layer which is formed on the 1st aforementioned layer and consists of WSiN, the 3rd layer which is formed on the 2nd aforementioned layer and consists of aluminum, and the 4th layer which is formed on the 3rd aforementioned layer and consists of WSiN.

[0009] The semiconductor device concerning the 4th invention is characterized by for the component of the aforementioned lower layer wiring to contain the 1st layer which the aforementioned electric supply film is formed in contact with the aforementioned lower layer wiring including aluminum, and consists of WSiN, the 2nd layer which is formed on the 1st aforementioned layer and consists of aluminum, and the 3rd layer which is formed on the 2nd aforementioned layer and consists of WSiN in the semiconductor device of the 1st invention.

[0010] The process which the manufacture method of the semiconductor device concerning the 5th invention prepares the substrate by which lower layer wiring was formed on the principal plane, The process which forms a lower layer resist film on the aforementioned principal plane of the aforementioned substrate, and the process which forms an electric supply layer all over the aforementioned substrate in which the aforementioned lower layer resist film is formed, The process which forms the upper resist film on the aforementioned electric supply layer, and the aforementioned upper resist film are used as a mask. The process which supplies electric power from this electric supply layer, and forms a metal membrane by electroplating on the aforementioned electric supply layer, It has the process which removes the aforementioned upper resist film, the process which removes the aforementioned electric supply layer by the dry etching method which used the chemical reaction by using the aforementioned metal membrane as a mask, and the process which removes the aforementioned lower layer resist film, and is constituted.

[0011] The manufacture method of the semiconductor device concerning the 6th invention is set to the manufacture method of the semiconductor device the 5th invention. the component of the aforementioned lower layer wiring The process which the process which forms the aforementioned electric supply layer is formed in contact with the aforementioned lower layer wiring including gold, and forms the 1st layer which consists of TiN, It is characterized by including the process which is formed on the 1st aforementioned layer and forms the 2nd layer which consists of WSiN, the process which is formed on the 2nd aforementioned layer and forms the 3rd layer which consists of aluminum, and the process which is formed on the 3rd aforementioned layer and forms the 4th layer which consists of

WSiN.

[0012] The manufacture method of the semiconductor device concerning the 7th invention is set to the manufacture method of the semiconductor device the 5th invention. the component of the aforementioned lower layer wiring The process which forms the aforementioned electric supply layer including aluminum It is characterized by including the process which is formed the process which is formed in contact with the aforementioned lower layer wiring, and forms the 1st layer which consists of WSiN, the process which is formed on the 1st aforementioned layer and forms the 2nd layer which consists of aluminum, and on the 2nd aforementioned layer, and forms the 3rd layer which consists of WSiN.

[0013] The manufacture method of the semiconductor device concerning the 8th invention is set to the manufacture method of the semiconductor device the 5th invention. To the field where the aforementioned metal membrane should be formed among the fields on the aforementioned electric supply layer before the process which forms the aforementioned upper resist film after the process which forms the aforementioned electric supply layer, or its part, by the lift-off method It has further the process which forms alternatively the ground film for growing up the aforementioned metal membrane, and is constituted by the aforementioned electroplating.

[0014] The manufacture method of the semiconductor device concerning the 9th invention is set to the manufacture method of the semiconductor device the 5th invention. The process which forms a resist pattern on the aforementioned electric supply layer except the portion by which the aforementioned metal membrane should be formed before the process which forms the aforementioned metal membrane after the process which forms the aforementioned upper resist film, By using the aforementioned resist pattern as a mask, using the ion milling method, it has further the process which forms alternatively the ground film for growing up the aforementioned metal membrane by the aforementioned electroplating on the aforementioned electric supply layer, and the process which removes the aforementioned resist pattern, and is constituted.

[0015] The manufacture method of the semiconductor device concerning the 10th invention After the process which forms the aforementioned electric supply layer in the manufacture method of the semiconductor device the 5th invention, The process which forms the resist film for a lift off on the aforementioned electric supply layer except the field where the aforementioned metal membrane should be formed before the process which forms the aforementioned upper resist film, By the process which removes the aforementioned electric supply layer by using the resist film for the aforementioned lift off as a mask, and the lift-off method using the resist film for the aforementioned lift off as a mask It has further the process which forms alternatively the ground film for growing up the aforementioned metal membrane, and is constituted by the aforementioned electroplating.

[0016]

[Function] Since the electric supply film in the 1st invention can be removed without being able to remove an electric supply film, without doing an injury to the metal membrane formed of electroplating since it is removable by the dry etching method for using a chemical reaction, and leaving the residue of an electric supply film, it is hard the short circuit during wiring coming to generate, and it is good in a performance and the easy semiconductor device of detailed-izing is obtained.

[0017] With the ground film in the 2nd invention, a metal membrane can be easily formed on an electric supply film.

[0018] The 1st layer of the electric supply film in the 3rd invention consists of TiN, and improves adhesion force with the 1st-layer wiring. The 3rd layer consisted of aluminum and has contributed to low resistance-ization of an electric supply film. The 3rd layer and the 4th layer consist of WSiN, and can prevent a reaction with the metal membrane formed of the aluminum, the 1st-layer wiring, and electroplating which were formed on the 3rd layer.

[0019] The 1st layer of the electric supply film in the 4th invention consists of TiN, and improves adhesion force with the 1st-layer wiring. The 2nd layer of an electric supply film consisted of aluminum, and has contributed to low resistance-ization of an electric supply film. The 3rd layer of an electric supply film consists of WSiN, and can prevent a reaction with the metal membrane formed of

electroplating.

[0020] Since the chemical reaction is used for the process which removes an electric supply layer by the dry etching method which used the chemical reaction by using the metal membrane in the 5th invention as a mask, it can prevent that do not damage a metal membrane and an electric supply layer remains as a residue.

[0021] It can prevent the appearance gas from a lower layer resist film while it improves adhesion force with the 1st-layer wiring, since the process which forms the 1st layer of the electric supply layer in the 6th invention forms the layer which consists of TiN. The layer which consists of aluminum can be formed according to the process which forms the 3rd layer, and the electric supply layer formed into low resistance can be formed. It can \*\*, if a semiconductor device is formed preventing a reaction with the metal membrane formed of the aluminum, the 1st-layer wiring, and electroplating which could form the barrier layer which consists of WSiN and were formed in the 3rd layer of the process which forms the 2nd layer and the 4th layer.

[0022] since the process which forms the 1st layer of the electric supply layer in the 7th invention forms the layer which consists of TiN, it can be boiled as if adhesion force with the 1st-layer wiring is improved, and can prevent the appearance gas from a lower layer resist film The layer which consists of aluminum can be formed according to the process which forms a layer [ 2nd ] electric supply layer, and the electric supply layer formed into low resistance can be formed. A semiconductor device can be formed preventing a reaction with the metal membrane which can form the layer which consists of WSiN according to the process which forms a layer [ 3rd ] electric supply layer, and is formed of electroplating.

[0023] The process which forms alternatively the ground film for growing up a metal membrane by electroplating in the 8th invention is performed before the process which forms the upper resist film after the process which forms an electric supply layer, and can form a metal membrane easily on an electric supply layer with this ground film.

[0024] According to the process which forms the ground film for growing up a metal membrane using the ion milling method in the 9th invention, the metal membrane formed of electroplating can be easily formed on an electric supply layer.

[0025] The process which forms the ground film in the 10th invention can form a metal membrane in the field which removed the electric supply layer according to the process which can form a metal membrane easily on a ground film, and removes an electric supply layer by using the resist film for a lift off as a mask by electroplating.

[0026]

[Example] Hereafter, the 1st example of this invention is explained about drawing. Drawing 1 to drawing 9 is the cross section showing the manufacturing process of the semiconductor device by the 1st example of this invention, and drawing 9 is the cross section showing the structure of the wiring formed of electroplating. The lower layer wiring with which 1 was formed in the semiconductor substrate and 2 was formed on the semiconductor substrate 1 in drawing, The electroplating section of the upper wiring with which 8a was formed of electroplating on the semiconductor substrate 1, 4a is the electric supply film left behind to the field directly under [ of the electric supply layers which supply the electrical and electric equipment for forming the electroplating section 8 / electroplating section 8a ]. Electric supply film 4a is the ground film of Au system prepared in order that the film of multilayer structure and 5a may grow up electroplating section 8a into the portion which should form electroplating section 8a on an an electric supply layer. Here, the electric supply layer 4 is removed by etching except for the lower part of electroplating section 8a, after formation of electroplating section 8a is completed by electroplating. And electroplating section 8a is connected to the lower layer wiring 2 through electric supply layer and ground film 5a.

[0027] Next, the manufacture method of the electroplating wiring by the 1st example of this invention is explained using drawing 9 from drawing 1 . First, as shown in drawing 1 , the lower layer wiring 2 is formed using the lift-off method as usual. The metal of Au system is used for the lower layer wiring 2. Next, except for the field after the lower layer wiring 2 which should connect, respectively, the lower



layer resist film 3 is formed alternatively ( drawing 2 ). Next, as shown in drawing 3 , the metal membrane which consists of a multilayer as an electric supply layer 4 all over the semiconductor substrate 1 is formed.

[0028] The layer of TiN is prepared by sputtering all over a substrate for the purpose of the composition of the electric supply layer 4 preventing improvement in adhesion force with the lower layer wiring 2, and the appearance gas from a resist in the lowest layer which meets with the lower layer wiring 2. WSiN is prepared in the 2nd layer on it as a barrier metal layer, the layer of aluminum is formed in the 3rd layer on it for the purpose of the reduction in resistance of the electric supply layer 4, and WSiN is prepared in the layer [ 4th ] best layer as a barrier metal layer. WSiN prepared in the 2nd layer has prevented the reaction of the aluminum of the 3rd layer, and Au of the lower layer wiring 2, and WSiN prepared in the 4th layer has the role which prevents the reaction of the aluminum of the 3rd layer, and Au of the electroplating section. This electric supply layer 4 is the multilayer continuously formed in the vacuum in order to prevent that an oxide film is made between each class.

[0029] Next, the thin film 5 of Au system for forming a ground film in the portion which should form the resist pattern 6 all over the semiconductor substrate 1 except the portion which forms the upper wiring, and should form gold by electroplating is formed by the lift-off method ( drawing 4 ). On WSiN, the thin film 5 of Au is formed so that eye an impossible hatchet and the plating growth of forming Au by the electroplating method may be attained. For example, there is a cascade screen of Ti/Au etc. as a thin film of Au system, adhesion force with WSiN can be raised by Ti in this case, and it can gold-plate on Au on it.

[0030] And the resist pattern 6 is removed, ground film 5a is formed ( drawing 5 ), the upper resist film 7 is formed as a mask all over the semiconductor substrate 1 except the portion to which the selective growth of the gold should be carried out by electroplating, on the electric supply layer 4 of opening of the upper resist film 7, Au plating is given and electroplating section 8a is formed ( drawing 6 ). The film pressure more than the thickness of electroplating which usually forms the resist thickness of the upper resist 7 is used. Next, the upper resist film 7 is removed ( drawing 7 ). And it leaves electric supply film 4a by using electroplating section 8a as a mask by the dry etching method using the chemical reaction, and the electric supply layer 4 is removed ( drawing 8 ). Finally the lower layer resist film 3 is removed, and wiring is completed ( drawing 9 ). The electric supply layer 4 does not generate the residue by the eaves produced when having removed the electric supply layer physically by the ion milling method like before, in order to carry out by the dry etching using the chemical reaction. Therefore, formation of the detailed pattern in wiring is attained. Moreover, there is no damage on gold plate of electroplating section 8a decreasing like the ion milling method etc., and the homogeneity of film pressure improves.

[0031] Hereafter, the 2nd example of this invention is explained about drawing. Drawing 10 to drawing 18 is the cross section showing the manufacturing process of the semiconductor device by the 2nd example of this invention, and drawing 18 is the cross section showing the structure of the wiring formed of electroplating. The electroplating section of the upper wiring with which 8b was formed of electroplating on the semiconductor substrate 1 in drawing, 4b is the electric supply film which remained in the portion of an electroplating section 8b directly under among the electric supply layers which supply the electrical and electric equipment for forming electroplating section 8b. Electric supply film 4b is the ground film of Au system prepared in order that the film of multilayer structure and 5b may form electroplating section 8b in the field which should form electroplating section 8b on an electric supply layer. Here, the electric supply layer is removed by etching except for the lower part of electroplating section 8b, after formation of electroplating section 8b is completed by electroplating. And electroplating section 8b is connected to the lower layer wiring 2 through electric supply film 5c and ground film 5b.

[0032] Next, the manufacture method of the electroplating wiring by the 2nd example of this invention is explained using drawing 18 from drawing 10 . First, as shown in drawing 10 , the lower layer wiring 2 is formed using the lift-off method as usual. The metal of Au system is used for the lower layer wiring 2. Next, except for the field after the lower layer wiring 2 which should connect, respectively, the lower

layer resist film 3 is formed alternatively ( drawing 11 ). Next, as shown in drawing 12 , the metal membrane which consists of a multilayer as an electric supply layer 4 all over the semiconductor substrate 1 is formed. The composition of the electric supply layer 4 is the same composition as the electric supply layer 4 shown in the 1st example. Similarly, the metal thin film 5 of Au system which consists of Ti/Au all over the semiconductor substrate 1 on the electric supply layer 4 is formed. On WSiN, the thin film 5 of Au is formed so that eye an impossible hatchet and the plating growth of forming Au by the electroplating method may be attained. The resist pattern 10 is formed in the portion to which the selective growth of the gold should be carried out by electroplating of the semiconductor substrate 1 as a mask ( drawing 13 ), by using the resist pattern 10 as a mask, by the ion milling method, only Au layer of the best layer is removed, patterning of the metal thin film 5 is performed, and ground film 5b is formed ( drawing 14 ). In that case, if the thickness of Au is the thin film which is about 1000Å, it can form without generating of a residue etc.

[0033] And the resist pattern 10 is removed ( drawing 15 ), the upper resist film 7 is formed as a mask all over the semiconductor substrate 1 except the portion to which the selective growth of the gold should be carried out by electroplating, on the electric supply layer 4 of opening of the upper resist film 7, Au plating is given and electroplating section 8b is formed ( drawing 16 ). The film pressure more than the thickness of electroplating which usually forms the resist thickness of the upper resist 7 is used. Next, the upper resist film 7 is removed. And it leaves electric supply film 4b by using electroplating section 8b as a mask by the dry etching method using the chemical reaction, and the electric supply layer 4 is removed ( drawing 17 ). Finally the lower layer resist film 3 is removed, and wiring is completed ( drawing 18 ). The electric supply layer 4 does not generate the residue by the eaves produced when having removed the electric supply layer physically by the ion milling method, in order to carry out by the dry etching using the chemical reaction. Therefore, formation of the detailed pattern in wiring is attained. Moreover, there is no damage on gold plate of electroplating section 8b decreasing like the ion milling method etc., and the homogeneity of film pressure improves.

[0034] Hereafter, the 3rd example of this invention is explained about drawing. Drawing 19 to drawing 26 is the cross section showing the manufacturing process of the semiconductor device by the 3rd example of this invention, and drawing 26 is the cross section showing the structure of the wiring formed of electroplating. In drawing, the electroplating section of the upper wiring with which 8c was formed of electroplating on the semiconductor substrate 1, and 5c are the ground films of Au system prepared in order to connect with an electric supply layer electrically and to form electroplating section 8c in the field which should form electroplating section 8c. Here, before an electric supply layer forms ground film 5c, the portion in which electroplating section 8c is formed is removed by etching. And electroplating section 8c is connected to the lower layer wiring 2 through ground film 5c.

[0035] Next, the manufacture method of the electroplating wiring by the 3rd example of this invention is explained using drawing 26 from drawing 19 . First, as shown in drawing 1 , the lower layer wiring 2 is formed using the lift-off method as usual. The metal of Au system is used for the lower layer wiring 2. Next, except for the field after the lower layer wiring 2 which should connect, respectively, the lower layer resist film 3 is formed alternatively ( drawing 2 ). Next, as shown in drawing 3 , the metal membrane which consists of a multilayer as an electric supply layer 4 all over the semiconductor substrate 1 is formed. Next, as shown in drawing 3 , the metal membrane which consists of a multilayer as an electric supply layer 4 all over the semiconductor substrate 1 is formed. It carries out like the 1st example so far. The composition of the electric supply layer 4 is the same composition as the electric supply layer 4 shown in the 1st example.

[0036] Next, the resist pattern 6 is formed all over the semiconductor substrate 1 except the portion which forms the upper wiring ( drawing 19 ), and the electric supply layer 4 is etched by using the resist pattern 6 as a mask ( drawing 20 ). Next, the thin film 5 of Au system for forming a ground film in the portion which should form gold by electroplating is formed by the lift-off method ( drawing 21 ).

[0037] And the resist pattern 6 is removed ( drawing 22 ), the upper resist film 7 is formed as a mask all over the semiconductor substrate 1 except the portion to which the selective growth of the gold should be carried out by electroplating, it gold-plates on ground film 5c electrically connected with the electric

supply layer 4 of opening of the upper resist film 7, and electroplating section 8c is formed ( drawing 23 ). The film pressure more than the thickness of electroplating which usually forms the resist thickness of the upper resist 7 is used. Next, the upper resist film 7 is removed ( drawing 24 ). And the electric supply layer 4 is removed by using electroplating section 8c as a mask by the dry etching method using the chemical reaction ( drawing 25 ). Since the electric supply layer 4 does not exist under electroplating section 8c at this time, after wiring is completed, the electric supply layer 4 does not remain in wiring. Finally the lower layer resist film 3 is removed, and wiring is completed ( drawing 26 ). The electric supply layer 4 does not generate the residue by the eaves produced when having removed the electric supply layer physically by the ion milling method, in order to carry out by the dry etching using the chemical reaction. Therefore, formation of the detailed pattern in wiring is attained. Moreover, there is no damage on gold plate of electroplating section 8c decreasing like the ion milling method etc., and the homogeneity of film pressure improves.

[0038] In addition, in the above 1st - the 3rd example, although the thin film of Au system was used for the lower layer wiring 2, you may use aluminum for lower layer wiring. In this case, if TiN / aluminum / WSiN carries out structure of the composition of the electric supply layer 4 from the lowest layer, a semiconductor device can be constituted like each above-mentioned example. In this case, since the lower layer wiring 2 is aluminum, the barrier metal layer between TiN and aluminum can be excluded. This electric supply layer 4 is the multilayer continuously formed in the vacuum in order to prevent that an oxide film is made between each class.

[0039] Moreover, in the above 1st - the 3rd example, although the opening size of the upper resist layer 7 is large compared with the ground films 5a-5c formed on the electric supply layer 4, opening size may be conversely made small and the area of the ground films 5a-5c may be larger than the electroplating sections 8a-8c.

[0040]

[Effect of the Invention] Since it has the electric supply film which according to the semiconductor device of invention according to claim 1 as mentioned above it is formed on lower layer wiring and can be removed by the dry etching method using a chemical reaction and is constituted, film pressure is uniform, and an electrical order is good and it is effective in the easy semiconductor device of detailed-izing being obtained since the residue of an electric supply film is not generated.

[0041] Since according to the semiconductor device of invention according to claim 2 it has a ground film for being formed in contact with an electric supply film and a metal membrane between an electric supply film and a metal membrane, and growing up a metal membrane by electroplating and is constituted, it is effective in the ability of formation of the metal membrane by electroplating to obtain an easy semiconductor device.

[0042] According to the semiconductor device of invention according to claim 3, the component of lower layer wiring The 1st layer which an electric supply film is formed in contact with lower layer wiring, and consists of TiN including gold, Since it has the 2nd layer which is formed on the 1st layer and consists of WSiN, the 3rd layer which is formed on the 2nd layer and consists of aluminum, and the 4th layer which is formed on the 3rd layer and consists of WSiN and is constituted It is effective in the ability to obtain the semiconductor device which has the metal membrane formed of electroplating using the electric supply film removable by the dry etching method using a chemical reaction.

[0043] According to the semiconductor device of invention according to claim 4, the component of lower layer wiring The 1st layer which an electric supply film is formed in contact with lower layer wiring, and consists of WSiN including aluminum, Since it is constituted so that the 2nd layer which is formed on the 1st layer and consists of aluminum, and the 3rd layer which is formed on the 2nd layer and consists of WSiN may be included It is effective in the ability to obtain the semiconductor device which has the metal membrane formed of electroplating using the electric supply film removable by the dry etching method using a chemical reaction.

[0044] Since according to the semiconductor device of invention according to claim 5 it has the process which removes an electric supply layer and is constituted by the dry etching method which used the chemical reaction by using a metal membrane as a mask, film pressure is uniform, and an electrical

order is good, and since the residue of an electric supply layer is not generated, it is effective in the easy semiconductor device of detailed-izing being obtained.

[0045] According to the semiconductor device of invention according to claim 6, the component of lower layer wiring The 1st layer which the process which forms an electric supply layer is formed in contact with lower layer wiring including gold, and consists of TiN, The process which is formed on the 1st layer and forms the 2nd layer which consists of WSiN, and the process which is formed on the 2nd layer and forms the 3rd layer which consists of aluminum, Since it is constituted so that the process which is formed on the 3rd layer and forms the 4th layer which consists of WSiN may be included, it is effective in the ability to form a metal membrane easily using an electric supply layer removable by the dry etching method using a chemical reaction.

[0046] According to the semiconductor device of invention according to claim 7, the component of lower layer wiring The process which forms an electric supply layer including aluminum The process which is formed in contact with lower layer wiring, and forms the 1st layer which consists of WSiN, Since it is constituted so that the process which is formed on the 1st layer and forms the 2nd layer which consists of aluminum, and the process which is formed on the 2nd layer and forms the 3rd layer which consists of WSiN may be included It is effective in the ability to form a metal membrane easily using an electric supply layer removable by the dry etching method using a chemical reaction.

[0047] According to the semiconductor device of invention according to claim 8, to the field where a metal membrane should be formed among the fields on an electric supply layer before the process which forms the upper resist film after the process which forms an electric supply layer, or its part by the lift-off method Since it has the process which forms alternatively the ground film for growing up a metal membrane by electroplating, and is constituted and it is, it is effective in the ability to form a metal membrane easily on an electric supply layer.

[0048] The process which forms a resist pattern on the electric supply layer except the portion by which a metal membrane should be formed before the process which forms a metal membrane after the process which forms the upper resist film according to the semiconductor device of invention according to claim 9, It has the process which forms alternatively the ground film for growing up a metal membrane by electroplating on an electric supply layer, and the process which removes a resist pattern by using a resist pattern as a mask using the ion milling method. in the composition case by \*\*'s It is effective in the ability to form a metal membrane easily on an electric supply layer.

[0049] The process which forms the resist film for a lift off on the electric supply layer except the field where a metal membrane should be formed before the process which forms the upper resist film after the process which forms an electric supply layer according to the semiconductor device of invention according to claim 10, By the process which removes an electric supply layer by using the resist film for a lift off as a mask, and the lift-off method using the resist film for a lift off as a mask Since it has the process which forms alternatively the ground film for growing up a metal membrane and is constituted by electroplating It is effective in the ability to form a direct metal membrane through a ground film except for the electric supply layer between a metal membrane and lower layer wiring on lower layer wiring, and form the good semiconductor device of an electrical property.

---

[Translation done.]

06260482 A

Page 1 of 2



(19)

(11) Publication number: **06260482 A**

Generated Document

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **05045136**(51) Intl. Cl.: **H01L 21/3205**(22) Application date: **05.03.93**

(30) Priority:

(43) Date of application  
publication: **16.09.94**(84) Designated contracting  
states:(71) Applicant: **mitsubishi electric corp**(72) Inventor: **MATSUOKA TAKASHI**

(74) Representative:

**(54) SEMICONDUCTOR  
DEVICE**

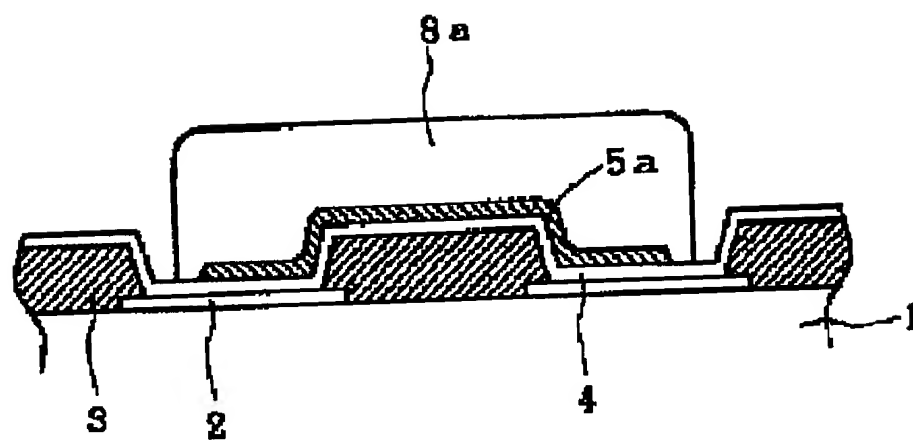
(57) Abstract:

**PURPOSE:** To improve the electrical characteristics and fineness of the wiring of a semiconductor device the wiring of which is formed by electroplating.

**CONSTITUTION:** A feeder layer 4 to be used at time of forming an electroplated section 8a by electroplating is constituted of a metallic film which can be removed by drying etching performed by utilizing a chemical reaction. The layer 4 is removed by the dry etching utilizing a chemical reaction so that no residue of the layer 4 can be left after etching and damages to the section 8a can be prevented at the time of etching.

**COPYRIGHT: (C)1994,JPO&Japio**

06260482 A



7/2/2003

特開平6-260482 (1/12)

- (19)【発行国】日本国特許庁(JP)  
(12)【公報種別】公開特許公報(A)  
(11)【公開番号】特開平6-260482  
(43)【公開日】平成6年(1994)9月16日  
(54)【発明の名称】半導体装置  
(51)【国際特許分類第5版】

H01L 21/3205

【F I】

H01L 21/88

B 7514-4M

【審査請求】未請求

【請求項の数】10

【出願形態】OL

【全頁数】12

(21)【出願番号】特願平5-45136

(22)【出願日】平成5年(1993)3月5日

(71)【出願人】

【識別番号】000006013

【氏名又は名称】三菱電機株式会社

【住所又は居所】東京都千代田区丸の内二丁目2番3号

(72)【発明者】

【氏名】松岡 敬

【住所又は居所】兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

(74)【代理人】

【弁護士】

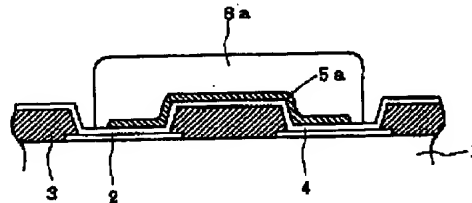
【氏名又は名称】高田 守

## (57)【要約】

【目的】 電気メッキで形成する配線を有する半導体装置において、電気的特性のよい、微細化が容易な配線を得ることを目的とする。

【構成】 電気メッキ部8aを電気メッキで形成するために必要な給電層4を化学反応を利用したドライエッチング法によって除去可能な金属膜で構成する。

【効果】 給電層4を化学反応を利用したドライエッチング法で除去することによって、給電層4のエッチング時の残渣を無くし、電気メッキ部8aのエッチング時の損傷を防止する。



## 【特許請求の範囲】

【請求項1】 基板上に形成された下層配線と、前記下層配線上に形成され、化学反応を用いるドライエッチング

法で除去可能な給電膜と、前記給電膜上に電気メッキにより形成された金属膜からなる上層配線と、を備える、半導体装置。

(1)

特開平6-260482 (2/12)

【請求項2】 前記給電膜上に形成され、前記電気メッキによって前記金属膜を成長させるための下地膜をさらに備える、請求項1記載の半導体装置。

【請求項3】 前記下層配線の構成材料は、金を含み、前記給電膜は、前記下層配線と接して形成され、TiNよりなる第1層と、前記第1層上に形成され、WSiNよりなる第2層と、前記第2層上に形成され、アルミニウムよりなる第3層と、前記第3層上に形成され、WSiNよりなる第4層と、を含む、請求項1記載の半導体装置。

【請求項4】 前記下層配線の構成材料は、アルミニウムを含み、前記給電膜は、前記下層配線と接して形成され、WSiNよりなる第1層と、前記第1層上に形成され、アルミニウムよりなる第2層と、前記第2層上に形成され、WSiNよりなる第3層と、を含む、請求項1記載の半導体装置。

【請求項5】 主面上に下層配線が形成された基板を準備する工程と、前記基板の前記主面上に下層レジスト膜を形成する工程と、前記下層レジスト膜が形成されている前記基板の全面に給電層を形成する工程と、前記給電層上に上層レジスト膜を形成する工程と、前記上層レジスト膜をマスクとして、前記給電層上に、該給電層から給電して電気メッキにより金属膜を形成する工程と、前記上層レジスト膜を除去する工程と、前記金属膜をマスクとして化学反応を利用したドライエッチング法によって前記給電層を除去する工程と、前記下層レジスト膜を除去する工程と、を備える、半導体装置の製造方法。

【請求項6】 前記下層配線の構成材料は、金を含み、前記給電層を形成する工程は、前記下層配線と接して、TiNよりなる第1層を形成する工程と、前記第1層上に形成され、WSiNよりなる第2層を形成する工程と、前記第2層上に形成され、アルミニウムよりなる第3層を形成する工程と、前記第3層上に形成され、WSiNよりなる第4層を形成する工程と、を含む、請求項5記載の半導体装置の製造方法。

【請求項7】 前記下層配線の構成材料は、アルミニウムを含み、前記給電層を形成する工程は、前記下層配線と接して形成され、WSiNよりなる第1層を形成する工程と、前記第1層上に形成され、アルミニウムよりなる第2層を形成する工程と、前記第2層上に形成され、W

SiNよりなる第3層を形成する工程と、を含む、請求項5記載の半導体装置の製造方法。

【請求項8】 前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記給電層上の領域のうち前記金属膜が形成されるべき領域あるいはその一部に、リフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程をさらに備える、請求項5記載の半導体装置の製造方法。

【請求項9】 前記上層レジスト膜を形成する工程の後、前記金属膜を形成する工程の前に、前記金属膜が形成されるべき部分を除く前記給電層上に、レジストパターンを形成する工程と、前記レジストパターンをマスクとして、イオンミリング法を用い、前記給電層上に、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程と、前記レジストパターンを除去する工程と、をさらに備える、請求項5記載の半導体装置の製造方法。

【請求項10】 前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記金属膜が形成されるべき領域を除く前記給電層上に、リフトオフのためのレジスト膜を形成する工程と、前記リフトオフのためのレジスト膜をマスクとして前記給電層を除去する工程と、前記リフトオフのためのレジスト膜をマスクとして用いたリフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程と、をさらに備える、請求項5記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置に関し、特に半導体装置で用いられる電気メッキにより形成された配線及びその製造方法に関するものである。

【0002】

【従来の技術】 図32は、電気メッキにより形成された従来の配線の構造を示す断面図である。図において、1は半導体基板、2は半導体基板1上に形成された第1層

(2)



特開平6-260482 (3/12)

配線、8は半導体基板1上に電気メッキによって形成された第2層配線の電気メッキ部、9aは電気メッキ部8を形成するための電気を供給する給電膜であり、給電膜9aはAu系のスパッタ膜である。ここで、給電膜9aは、電気メッキによって電気メッキ部8の形成が終了した後に、電気メッキ部8の下部を除いてエッチングで除去された給電層の一部である。そして、電気メッキ部8は給電膜9aを介して第1層配線2に接続している。

【0003】次に、従来の電気メッキによる配線の製造方法について図27から図32を用いて説明する。図27から図32は従来の電気メッキによる配線の製造工程を示す断面図である。図27に示すように、まず、半導体基板1上にリフトオフ法を用いて所定の位置に第1層配線2を形成する。通常、第1層配線2にはAu系の金属を用いる。次に、それぞれ接続すべき第1層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図28)。この下層レジスト膜3は、最終工程で給電層除去のために用いるイオンミリングによる損傷が半導体基板1に及ぶのを防止する働きがある。次に、図29に示すように、半導体基板1の全面に給電層9としてスパッタ法によりAu系の金属膜を形成する。そして、第2層配線を形成する部分を除く半導体基板1の全面に上層レジスト膜7を形成し、電気メッキによって上層レジスト膜7の開口部の給電層9上にAuメッキを施して電気メッキ部8を形成する(図30)。給電層9に用いられるAu系の金属膜は、金メッキより成る電気メッキ部8との付着力を向上する働きがある。次に、上層レジスト膜7を除去する。そして、イオンミリング法を用いて給電膜9aを残して給電層9の除去を行う(図31)。最後に下層レジスト膜3を除去して配線が完了する(図32)。

【0004】

【発明が解決しようとする課題】従来の電気メッキによる配線及びその製造方法は以上のように構成されているので、給電層9に用いられているスパッタ法で形成されたAu系の金属膜を除去するためには、物理的スパッタ法でエッチングを行うイオンミリング法によらなければならず、スパッタ時の照射角度等の条件によってはひさしとなる部分に残渣が発生する等の問題点があった。そして、この残渣によって配線の間隔が狭くなると隣合うパターン間で短絡が起き易くなり、微細化が困難とな

るという問題点が発生する。また、電気メッキで形成した電気メッキ部8もイオンミリングを行う際に同時にエッチングされ、電気メッキ部8のメッキ厚が減少するという問題点もあった。

【0005】この発明は上記のような問題点を解消するためになされたもので、イオンミリング法以外の方法で除去可能な給電層を用いることによって、微細化が容易で電気メッキによって形成した部分に損傷の残らない配線を得ることを目的としており、その配線に適した製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】第1の発明に係る半導体装置は、基板上に形成された下層配線と、前記下層配線上に形成され、化学反応を用いるドライエッチング法で除去可能な給電膜と、前記給電膜上に電気メッキにより形成された金属膜からなる上層配線とを備えて構成されている。

【0007】第2の発明に係る半導体装置は、第1の発明の半導体装置において、前記給電膜上に形成され、前記電気メッキによって前記金属膜を成長させるための下地膜をさらに備えて構成されている。

【0008】第3の発明に係る半導体装置は、第1の発明の半導体装置において、前記下層配線の構成材料は、金を含み、前記給電膜は、前記下層配線と接して形成され、TiNよりなる第1層と、前記第1層上に形成され、WSiNよりなる第2層と、前記第2層上に形成され、アルミニウムよりなる第3層と、前記第3層上に形成され、WSiNよりなる第4層とを含むことを特徴とする。

【0009】第4の発明に係る半導体装置は、第1の発明の半導体装置において、前記下層配線の構成材料は、アルミニウムを含み、前記給電膜は、前記下層配線と接して形成され、WSiNよりなる第1層と、前記第1層上に形成され、アルミニウムよりなる第2層と、前記第2層上に形成され、WSiNよりなる第3層と、を含むことを特徴とする。

【0010】第5の発明に係る半導体装置の製造方法は、主面上に下層配線が形成された基板を準備する工程と、前記基板の前記主面上に下層レジスト膜を形成する工程と、前記下層レジスト膜が形成されている前記基板の全

(3)

配線、8は半導体基板1上に電気メッキによって形成された第2層配線の電気メッキ部、9aは電気メッキ部8を形成するための電気を供給する給電膜であり、給電膜9aはAu系のスパッタ膜である。ここで、給電膜9aは、電気メッキによって電気メッキ部8の形成が終了した後に、電気メッキ部8の下部を除いてエッチングで除去された給電層の一部である。そして、電気メッキ部8は給電膜9aを介して第1層配線2に接続している。

【0003】次に、従来の電気メッキによる配線の製造方法について図27から図32を用いて説明する。図27から図32は従来の電気メッキによる配線の製造工程を示す断面図である。図27に示すように、まず、半導体基板1上にリフトオフ法を用いて所定の位置に第1層配線2を形成する。通常、第1層配線2にはAu系の金属を用いる。次に、それぞれ接続すべき第1層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図28)。この下層レジスト膜3は、最終工程で給電層除去のために用いるイオンミリングによる損傷が半導体基板1に及ぶのを防止する働きがある。次に、図29に示すように、半導体基板1の全面に給電層9としてスパッタ法によりAu系の金属膜を形成する。そして、第2層配線を形成する部分を除く半導体基板1の全面に上層レジスト膜7を形成し、電気メッキによって上層レジスト膜7の開口部の給電層9上にAuメッキを施して電気メッキ部8を形成する(図30)。給電層9に用いられているAu系の金属膜は、金メッキより成る電気メッキ部8との付着力を向上する働きがある。次に、上層レジスト膜7を除去する。そして、イオンミリング法を用いて給電膜9aを残して給電層9の除去を行う(図31)。最後に下層レジスト膜3を除去して配線が完了する(図32)。

#### 【0004】

【発明が解決しようとする課題】従来の電気メッキによる配線及びその製造方法は以上のように構成されているので、給電層9に用いられているスパッタ法で形成されたAu系の金属膜を除去するためには、物理的スパッタ法でエッチングを行うイオンミリング法によらなければならず、スパッタ時の照射角度等の条件によってはひさしとなる部分に残渣が発生する等の問題点があった。そして、この残渣によって配線の間隔が狭くなると隣合うパターン間で短絡が起き易くなり、微細化が困難とな

特開平6-260482 (3/12)

るという問題点が発生する。また、電気メッキで形成した電気メッキ部8もイオンミリングを行う際に同時にエッチングされ、電気メッキ部8のメッキ厚が減少するという問題点もあった。

【0005】この発明は上記のような問題点を解消するためになされたもので、イオンミリング法以外の方法で除去可能な給電層を用いることによって、微細化が容易で電気メッキによって形成した部分に損傷の残らない配線を得ることを目的としており、その配線に適した製造方法を提供することを目的としている。

#### 【0006】

【課題を解決するための手段】第1の発明に係る半導体装置は、基板上に形成された下層配線と、前記下層配線上に形成され、化学反応を用いるドライエッチング法で除去可能な給電膜と、前記給電膜上に電気メッキにより形成された金属膜からなる上層配線とを備えて構成されている。

【0007】第2の発明に係る半導体装置は、第1の発明の半導体装置において、前記給電膜上に形成され、前記電気メッキによって前記金属膜を成長させるための下地膜をさらに備えて構成されている。

【0008】第3の発明に係る半導体装置は、第1の発明の半導体装置において、前記下層配線の構成材料は、金を含み、前記給電膜は、前記下層配線と接して形成され、TiNよりなる第1層と、前記第1層上に形成され、WSiNよりなる第2層と、前記第2層上に形成され、アルミニウムよりなる第3層と、前記第3層上に形成され、WSiNよりなる第4層とを含むことを特徴とする。

【0009】第4の発明に係る半導体装置は、第1の発明の半導体装置において、前記下層配線の構成材料は、アルミニウムを含み、前記給電膜は、前記下層配線と接して形成され、WSiNよりなる第1層と、前記第1層上に形成され、アルミニウムよりなる第2層と、前記第2層上に形成され、WSiNよりなる第3層と、を含むことを特徴とする。

【0010】第5の発明に係る半導体装置の製造方法は、主面上に下層配線が形成された基板を準備する工程と、前記基板の前記主面上に下層レジスト膜を形成する工程と、前記下層レジスト膜が形成されている前記基板の全

(3)

面に給電層を形成する工程と、前記給電層上に上層レジスト膜を形成する工程と、前記上層レジスト膜をマスクとして、前記給電層上に、該給電層から給電して電気メッキにより金属膜を形成する工程と、前記上層レジスト膜を除去する工程と、前記金属膜をマスクとして化学反応を利用したドライエッチング法によって前記給電層を除去する工程と、前記下層レジスト膜を除去する工程とを備えて構成されている。

【0011】第6の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記下層配線の構成材料は、金を含み、前記給電層を形成する工程は、前記下層配線と接して形成され、TiNよりなる第1層を形成する工程と、前記第1層上に形成され、WSiNよりなる第2層を形成する工程と、前記第2層上に形成され、アルミニウムよりなる第3層を形成する工程と、前記第3層上に形成され、WSiNよりなる第4層を形成する工程とを含むことを特徴とする。

【0012】第7の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記下層配線の構成材料は、アルミニウムを含み、前記給電層を形成する工程は、前記下層配線と接して形成され、WSiNよりなる第1層を形成する工程と、前記第1層上に形成され、アルミニウムよりなる第2層を形成する工程と、前記第2層上に形成され、WSiNよりなる第3層とを形成する工程を含むことを特徴とする。

【0013】第8の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記給電層上の領域のうち前記金属膜が形成されるべき領域あるいはその一部に、リフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程をさらに備えて構成されている。

【0014】第9の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記上層レジスト膜を形成する工程の後、前記金属膜を形成する工程の前に、前記金属膜が形成されるべき部分を除く前記給電層上に、レジストパターンを形成する工程と、前記レジストパターンをマスクとして、イオンミリング法を用い、前記給電層上に、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工

特開平6-260482 (4/12)

程と、前記レジストパターンを除去する工程とをさらに備えて構成されている。

【0015】第10の発明に係る半導体装置の製造方法は、第5の発明の半導体装置の製造方法において、前記給電層を形成する工程の後、前記上層レジスト膜を形成する工程の前に、前記金属膜が形成されるべき領域を除く前記給電層上に、リフトオフのためのレジスト膜を形成する工程と、前記リフトオフのためのレジスト膜をマスクとして前記給電層を除去する工程と、前記リフトオフのためのレジスト膜をマスクとして用いたリフトオフ法により、前記電気メッキによって前記金属膜を成長させるための下地膜を選択的に形成する工程とをさらに備えて構成されている。

【0016】

【作用】第1の発明における給電膜は、化学反応を用いたドライエッチング法で除去可能であるため、電気メッキにより形成された金属膜に損傷を与えることなく、給電膜を除去でき、また、給電膜の残渣を残すことなく除去できるので配線間での短絡が発生し難くなり、性能がよく、微細化の容易な半導体装置が得られる。

【0017】第2の発明における下地膜によって、給電膜上に金属膜を容易に形成することができる。

【0018】第3の発明における給電膜の第1層は、TiNよりなり第1層配線との付着力を向上する。第3層は、アルミニウムよりなり、給電膜の低抵抗化に寄与している。第3層と第4層は、WSiNよりなり、第3層上に形成されたアルミニウムと第1層配線及び電気メッキによって形成される金属膜との反応を防止することができる。

【0019】第4の発明における給電膜の第1層は、TiNよりなり第1層配線との付着力を向上する。給電膜の第2層はアルミニウムよりなり、給電膜の低抵抗化に寄与している。給電膜の第3層はWSiNよりなり、電気メッキによって形成される金属膜との反応を防止することができる。

【0020】第5の発明における金属膜をマスクとして化学反応を利用したドライエッチング法によって給電層を除去する工程は、化学反応を利用しているため、金属膜を損傷することがなく、給電層が残渣として残ること

(4)

特開平6-260482 (5/12)

を防止することができる。

【0021】第6の発明における給電層の第1層を形成する工程は、TiNよりなる層を形成するので、第1層配線との付着力を向上するとともに、下層レジスト膜からの出ガスを防止することができる。第3層を形成する工程によって、アルミニウムよりなる層を形成でき、低抵抗化した給電層を形成できる。第2層と第4層を形成する工程によって、WSiNよりなるバリア層を形成でき、第3層に形成されたアルミニウムと第1層配線及び電気メッキによって形成される金属膜との反応を防止しながら半導体装置を形成することができる。

【0022】第7の発明における給電層の第1層を形成する工程は、TiNよりなる層を形成するので、第1層配線との付着力を向上するとともに、下層レジスト膜からの出ガスを防止することができる。給電層の第2層を形成する工程によって、アルミニウムよりなる層を形成でき、低抵抗化した給電層を形成できる。給電層の第3層を形成する工程によって、WSiNよりなる層を形成でき、電気メッキによって形成される金属膜との反応を防止しながら半導体装置を形成することができる。

【0023】第8の発明における電気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程は、給電層を形成する工程の後、上層レジスト膜を形成する工程の前に行われ、この下地膜によって給電層上に容易に金属膜を形成することができる。

【0024】第9の発明におけるイオンリング法を用いて金属膜を成長させるための下地膜を形成する工程により、電気メッキによって形成される金属膜を給電層上に容易に形成することができる。

【0025】第10の発明における下地膜を形成する工程は、電気メッキによって下地膜上に金属膜を容易に形成することができ、リフトオフのためのレジスト膜をマスクとして給電層を除去する工程によって、給電層を取り除いた領域に金属膜を形成することができる。

【0026】

【実施例】以下、この発明の第1実施例を図について説明する。図1から図9はこの発明の第1実施例による半導体装置の製造工程を示す断面図であり、図9は、電気メッキにより形成された配線の構造を示す断面図である。

図において、1は半導体基板、2は半導体基板1上に形成された下層配線、8aは半導体基板1上に電気メッキによって形成された上層配線の電気メッキ部、4aは電気メッキ部8を形成するための電気を供給する給電層のうちの電気メッキ部8a直下の領域に残された給電膜であり、給電膜4aは多層構造の膜、5aは給電層上の電気メッキ部8aを形成すべき部分に電気メッキ部8aを成長させるために設けられるAu系の下地膜である。ここで、給電層4は、電気メッキによって電気メッキ部8aの形成が終了した後に、電気メッキ部8aの下部を除いてエッチングで除去されている。そして、電気メッキ部8aは給電層及び下地膜5aを介して下層配線2に接続している。

【0027】次に、この発明の第1実施例による電気メッキ配線の製造方法について図1から図9を用いて説明する。まず、図1に示すように従来と同様にリフトオフ法を用いて下層配線2を形成する。下層配線2にAu系の金属を用いる。次に、それぞれ接続すべき下層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図2)。次に、図3に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。

【0028】給電層4の構成は、下層配線2と接する最下層に下層配線2との付着力の向上とレジストからの出ガスを防止することを目的として基板全面にスパッタリングによってTiNの層が設けられ、その上の第2層にバリアメタル層としてWSiNが設けられ、その上の第3層に給電層4の低抵抗化を目的としてアルミニウムの層が形成され、最上層の第4層にバリアメタル層としてWSiNが設けられる。第2層に設けられているWSiNは第3層のアルミニウムと下層配線2のAuとの反応を防止しており、第4層に設けられているWSiNは第3層のアルミニウムと電気メッキ部のAuとの反応を防止する役割がある。この給電層4は各層の間に酸化膜ができることを防止するため真空中で連続的に形成された多層膜である。

【0029】次に、上層配線を形成する部分を除く半導体基板1の全面にレジストパターン6を形成し、電気メッキによって金を形成すべき部分に下地膜を形成するためのAu系の薄膜5をリフトオフ法によって形成する(図4)。WSiN上には、電気メッキ法でAuを形成することが不可能なため、メッキ成長が可能となるよう

(5)

特開平8-260482 (6/12)

にAuの薄膜5を形成する。例えば、Au系の薄膜としてTi/Auの積層膜等があり、この場合は、WSiNとの付着力をTiによって向上させ、その上のAuの上に金メッキを施すことができる。

【0030】そして、レジストパターン6を除去して下地膜5aを形成し(図5)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4上にAuメッキを施して電気メッキ部8aを形成する(図6)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜圧が用いられる。次に、上層レジスト膜7を除去する(図7)。そして、化学反応を利用したドライエッチング法で電気メッキ部8aをマスクとして給電膜4aを残して給電層4の除去を行う(図8)。最後に下層レジスト膜3を除去して配線が完了する(図9)。給電層4は化学反応を利用したドライエッチングで行うため、従来のようにイオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8aの金メッキが少なくなる等の損傷がなく、膜圧の均一性が向上する。

【0031】以下、この発明の第2実施例を図について説明する。図10から図18はこの発明の第2実施例による半導体装置の製造工程を示す断面図であり、図18は、電気メッキにより形成された配線の構造を示す断面図である。図において、8bは半導体基板1上に電気メッキによって形成された上層配線の電気メッキ部、4bは電気メッキ部8bを形成するための電気を供給する給電層のうち電気メッキ部8b直下の部分に残った給電膜であり、給電膜4bは多層構造の膜、5bは給電層上の電気メッキ部8bを形成すべき領域に電気メッキ部8bを形成するために設けられるAu系の下地膜である。ここで、給電層は、電気メッキによって電気メッキ部8bの形成が終了した後に、電気メッキ部8bの下部を除いてエッチングで除去されている。そして、電気メッキ部8bは給電膜5c及び下地膜5bを介して下層配線2に接続している。

【0032】次に、この発明の第2実施例による電気メッキ配線の製造方法について図10から図18を用いて説明する。まず、図10に示すように従来と同様にリフ

トオフ法を用いて下層配線2を形成する。下層配線2にAu系の金属を用いる。次に、それぞれ接続すべき下層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図11)。次に、図12に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。給電層4の構成は、第1実施例で示した給電層4と同じ構成である。同様に、給電層4の上の半導体基板1の全面にTi/AuよりなるAu系の金属薄膜5を形成する。WSiN上には、電気メッキ法でAuを形成することが不可能なため、メッキ成長が可能となるようにAuの薄膜5を形成する。半導体基板1の電気メッキによって金を選択成長させるべき部分にマスクとしてレジストパターン10を形成し(図13)、レジストパターン10をマスクとしてイオンミリング法によって最上層のAu層のみの除去を行い、金属薄膜5のパターニングを行い、下地膜5bを形成する(図14)。その際Auの厚みが例えば1000オングストローム程度の薄膜であれば、残渣等の発生なく形成が可能である。

【0033】そして、レジストパターン10を除去し(図15)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4上にAuメッキを施して電気メッキ部8bを形成する(図16)。上層レジスト7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜圧が用いられる。次に、上層レジスト膜7を除去する。そして、化学反応を利用したドライエッチング法で電気メッキ部8bをマスクとして給電膜4bを残して給電層4の除去を行う(図17)。最後に下層レジスト膜3を除去して配線が完了する(図18)。給電層4は化学反応を利用したドライエッチングで行うため、イオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8bの金メッキが少なくなる等の損傷がなく、膜圧の均一性が向上する。

【0034】以下、この発明の第3実施例を図について説明する。図19から図26はこの発明の第3実施例による半導体装置の製造工程を示す断面図であり、図26は、電気メッキにより形成された配線の構造を示す断面図である。図において、8cは半導体基板1上に電気メッキによって形成された上層配線の電気メッキ部、5c

(6)

特開平6-260482 (7/12)

は電気メッキ部8cを形成すべき領域に給電層と電気的に接続されて電気メッキ部8cを形成するために設けられるAu系の下地膜である。ここで、給電層は、下地膜5cを形成する前に、電気メッキ部8cの形成される部分がエッチングで除去されている。そして、電気メッキ部8cは下地膜5cを介して下層配線2に接続している。

【0035】次に、この発明の第3実施例による電気メッキ配線の製造方法について図19から図26を用いて説明する。まず、図1に示すように従来と同様にリフトオフ法を用いて下層配線2を形成する。下層配線2にAu系の金属を用いる。次に、それぞれ接続すべき下層配線2の上の領域を除いて選択的に下層レジスト膜3を形成する(図2)。次に、図3に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。次に、図3に示すように、半導体基板1の全面に給電層4として多層膜よりなる金属膜を形成する。ここまでは第1実施例と同様に行う。給電層4の構成は、第1実施例で示した給電層4と同じ構成である。

【0036】次に、上層配線を形成する部分を除く半導体基板1の全面にレジストパターン6を形成し(図19)、レジストパターン6をマスクとして給電層4のエッチングを行う(図20)。次に、電気メッキによって金を形成すべき部分に下地膜を形成するためのAu系の薄膜5をリフトオフ法によって形成する(図21)。

【0037】そして、レジストパターン6を除去し(図22)、電気メッキによって金を選択成長させるべき部分を除く半導体基板1の全面にマスクとして上層レジスト膜7を形成し、上層レジスト膜7の開口部の給電層4と電気的に接続している下地膜5c上に金メッキを施して電気メッキ部8cを形成する(図23)。上層レジスト膜7のレジスト厚みは、通常形成する電気メッキの厚み以上の膜圧が用いられる。次に、上層レジスト膜7を除去する(図24)。そして、化学反応を利用したドライエッチング法で電気メッキ部8cをマスクとして給電層4の除去を行う(図25)。この時、給電層4は電気メッキ部8cの下には存在しないので、配線が終了した後、給電層4は配線内には残っていない。最後に下層レジスト膜3を除去して配線が完了する(図26)。給電層4は化学反応を利用したドライエッチングで行うため、イオンミリング法によって物理的に給電層を除去していた際に生じたひさしによる残渣は発生しない。そのため配

線における微細なパターンの形成が可能になる。また、イオンミリング法のように電気メッキ部8cの金メッキが少なくなる等の損傷がなく、膜圧の均一性が向上する。

【0038】なお、上記第1～第3実施例では、下層配線2にAu系の薄膜を用いたが、下層配線にアルミニウムを用いてもよく。この場合、給電層4の構成を、最下層からTiN/アルミニウム/WSiNの構造すれば、上記各実施例と同様に半導体装置を構成することができる。この場合、下層配線2がアルミニウムであるため、TiNとアルミニウムとの間のバリアメタル層を省くことができる。この給電層4は各層の間に酸化膜ができることを防止するため真空中で連続的に形成された多層膜である。

【0039】また、上記第1～第3実施例において、給電層4の上に形成された下地膜5a～5cに比べて上層レジスト層7の開口サイズが広がっているが、逆に開口サイズを小さくして電気メッキ部8a～8cよりも下地膜5a～5cの面積のほうが大きくても良い。

【0040】

【発明の効果】以上のように請求項1記載の発明の半導体装置によれば、下層配線上に形成され、化学反応を用いるドライエッチング法で除去可能な給電膜を備えて構成されているので、膜圧が均一で電気的性能がよく、給電膜の残渣を発生しないので微細化の容易な半導体装置が得られるという効果がある。

【0041】請求項2記載の発明の半導体装置によれば、給電膜と金属膜との間に、給電膜及び金属膜に接して形成され、電気メッキによって金属膜を成長させるための下地膜を備えて構成されているので、電気メッキによる金属膜の形成が容易な半導体装置が得られるという効果がある。

【0042】請求項3記載の発明の半導体装置によれば、下層配線の構成材料は、金を含み、給電膜は、下層配線と接して形成され、TiNよりなる第1層と、第1層上に形成され、WSiNよりなる第2層と、第2層上に形成され、アルミニウムよりなる第3層と、第3層上に形成され、WSiNよりなる第4層とを備えて構成されているので、化学反応を用いるドライエッチング法で除去可能な給電膜を用いた電気メッキによって形成された金

(7)

特開平6-260482 (8/12)

属膜を有する半導体装置を得ることができるという効果がある。

【0043】請求項4記載の発明の半導体装置によれば、下層配線の構成材料は、アルミニウムを含み、給電膜は、下層配線と接して形成され、WSiNよりなる第1層と、第1層上に形成され、アルミニウムよりなる第2層と、第2層上に形成され、WSiNよりなる第3層とを含むように構成されているので、化学反応を用いるドライエッチング法で除去可能な給電膜を用いた電気メッキによって形成された金属膜を有する半導体装置を得ることができるという効果がある。

【0044】請求項5記載の発明の半導体装置によれば、金属膜をマスクとして化学反応を利用したドライエッチング法によって給電層を除去する工程を備えて構成されているので、膜圧が均一で電気的性能がよく、給電層の残渣を発生しないので微細化の容易な半導体装置が得られるという効果がある。

【0045】請求項6記載の発明の半導体装置によれば、下層配線の構成材料は、金を含み、給電層を形成する工程は、下層配線と接して形成され、TiNよりなる第1層と、第1層上に形成され、WSiNよりなる第2層を形成する工程と、第2層上に形成され、アルミニウムよりなる第3層を形成する工程と、第3層上に形成され、WSiNよりなる第4層を形成する工程とを含むように構成されているので、化学反応を用いるドライエッチング法で除去可能な給電層を用いて金属膜を容易に形成することができるという効果がある。

【0046】請求項7記載の発明の半導体装置によれば、下層配線の構成材料は、アルミニウムを含み、給電層を形成する工程は、下層配線と接して形成され、WSiNよりなる第1層を形成する工程と、第1層上に形成され、アルミニウムよりなる第2層を形成する工程と、第2層上に形成され、WSiNよりなる第3層を形成する工程とを含むように構成されているので、化学反応を用いるドライエッチング法で除去可能な給電層を用いて金属膜を容易に形成することができるという効果がある。

【0047】請求項8記載の発明の半導体装置によれば、給電層を形成する工程の後、上層レジスト膜を形成する工程の前に、給電層上の領域のうち金属膜が形成されるべき領域あるいはその一部に、リフトオフ法により、電

気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程を備えて構成されているので、給電層上に容易に金属膜を形成することができるという効果がある。

【0048】請求項9記載の発明の半導体装置によれば、上層レジスト膜を形成する工程の後、金属膜を形成する工程の前に、金属膜が形成されるべき部分を除く給電層上に、レジストパターンを形成する工程と、レジストパターンをマスクとして、イオンミリング法を用い、給電層上に、電気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程と、レジストパターンを除去する工程とを備えて構成されているので、給電層上に容易に金属膜を形成することができるという効果がある。

【0049】請求項10記載の発明の半導体装置によれば、給電層を形成する工程の後、上層レジスト膜を形成する工程の前に、金属膜が形成されるべき領域を除く給電層上に、リフトオフのためのレジスト膜を形成する工程と、リフトオフのためのレジスト膜をマスクとして給電層を除去する工程と、リフトオフのためのレジスト膜をマスクとして用いたリフトオフ法により、電気メッキによって金属膜を成長させるための下地膜を選択的に形成する工程とを備えて構成されているので、金属膜と下層配線との間の給電層を除いて下層配線上に下地膜を介して直接金属膜を形成することができ、電気的特性の良い半導体装置を形成することができるという効果がある。

【図面の簡単な説明】

【図1】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図2】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図3】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図4】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図5】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図6】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図7】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図8】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

(8)

特開平6-260482 (9/12)

【図9】この発明の第1実施例による半導体装置の製造工程を示す断面図である。

【図10】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図11】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図12】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図13】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図14】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図15】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図16】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図17】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図18】この発明の第2実施例による半導体装置の製造工程を示す断面図である。

【図19】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図20】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図21】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図22】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図23】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図24】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図25】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図26】この発明の第3実施例による半導体装置の製造工程を示す断面図である。

【図27】従来の半導体装置の製造工程を示す断面図である。

【図28】従来の半導体装置の製造工程を示す断面図である。

【図29】従来の半導体装置の製造工程を示す断面図である。

【図30】従来の半導体装置の製造工程を示す断面図である。

ある。

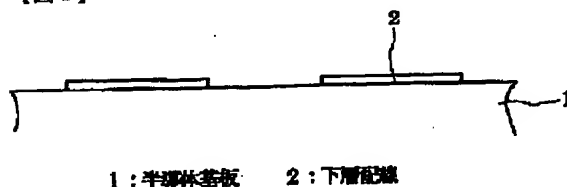
【図31】従来の半導体装置の製造工程を示す断面図である。

【図32】従来の半導体装置の製造工程を示す断面図である。

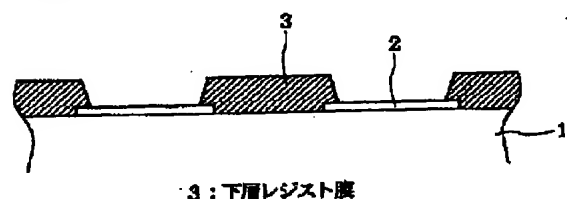
【符号の説明】

- 1 半導体基板
- 2 下層配線
- 3 下層レジスト膜
- 4 給電膜
- 5a~5c 下地膜
- 7 上層レジスト膜
- 8a~8c 電気メッキ部

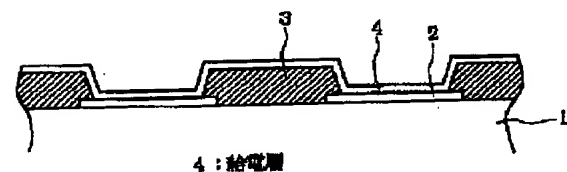
【図1】



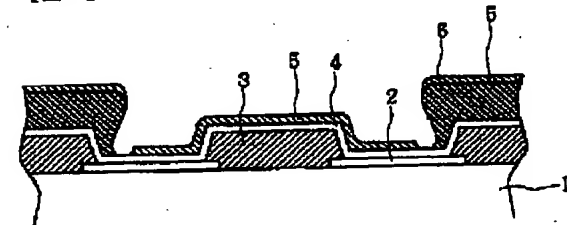
【図2】



【図3】



【図4】

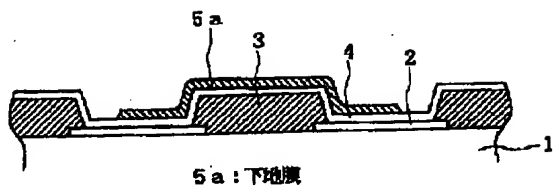


(9)

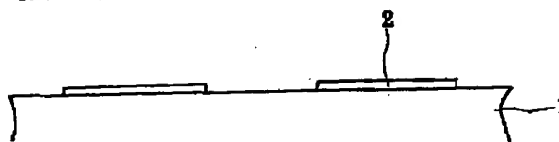


特開平6-260482 (10/12)

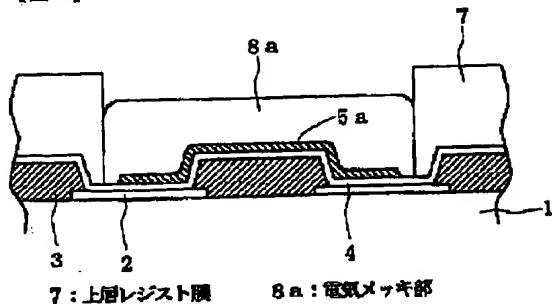
【図5】



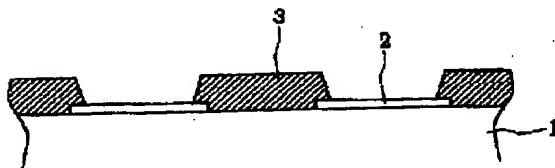
【図10】



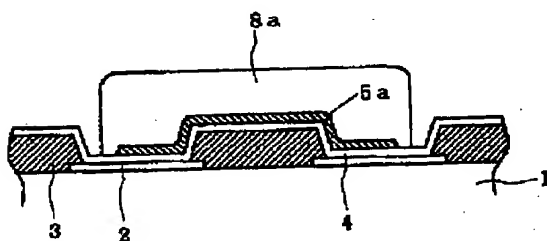
【図6】



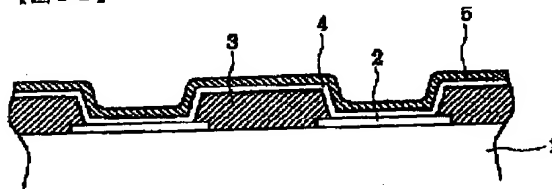
【図11】



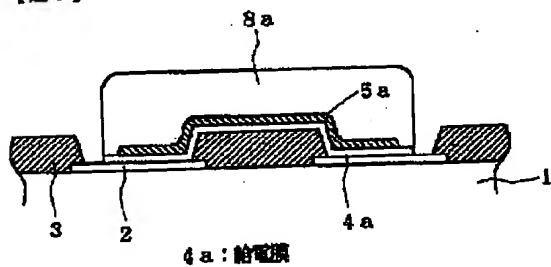
【図7】



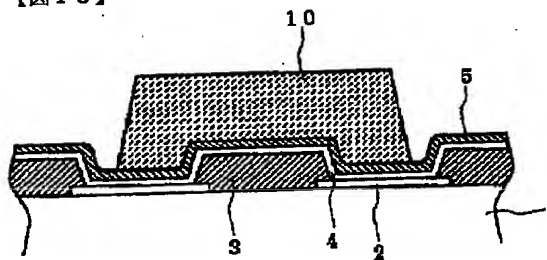
【図12】



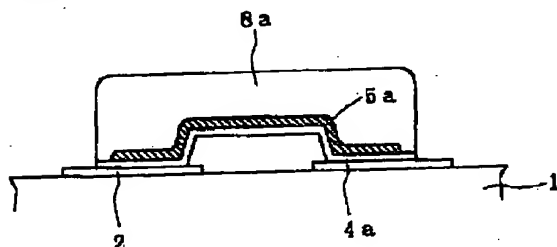
【図8】



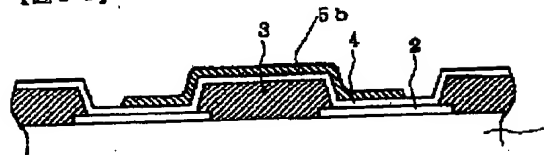
【図13】



【図9】



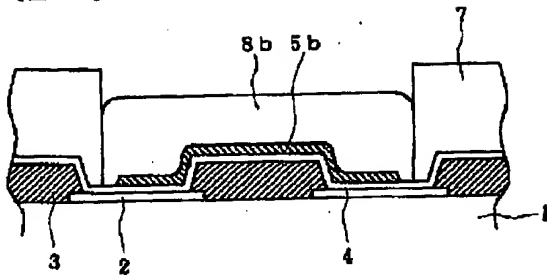
【図14】



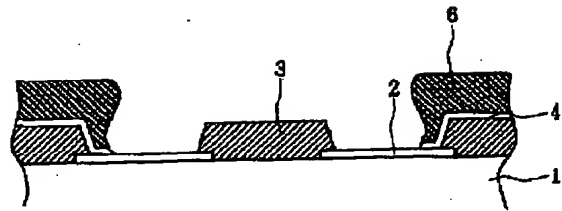
(10)

特開平6-260482 (11/12)

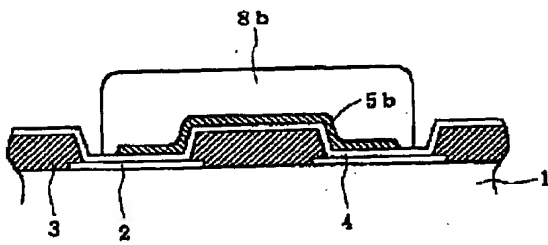
【図15】



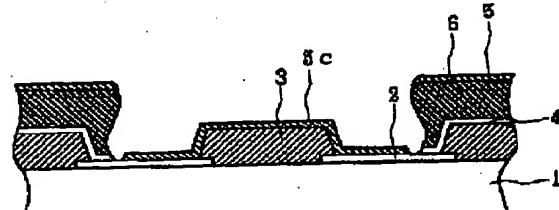
【図20】



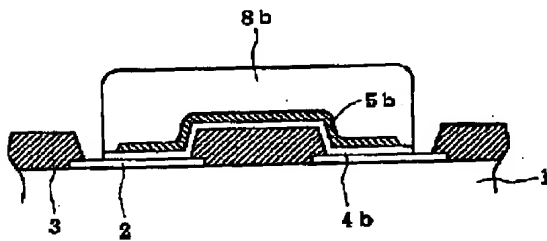
【図16】



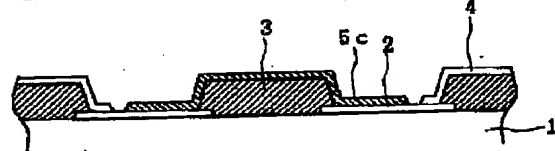
【図21】



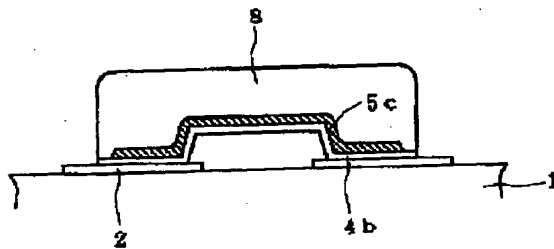
【図17】



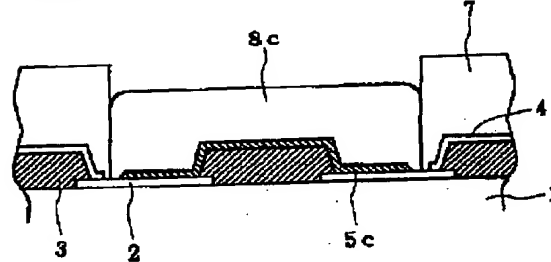
【図22】



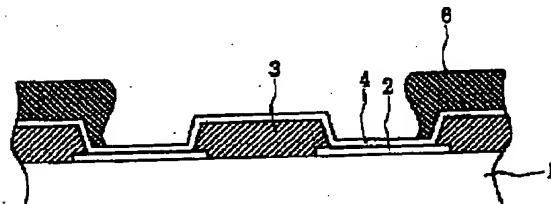
【図18】



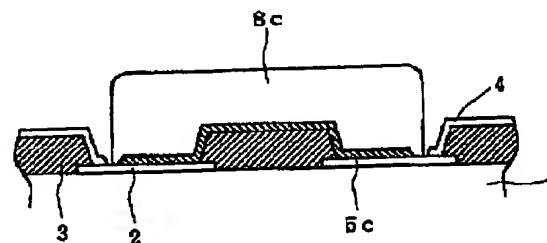
【図23】



【図19】



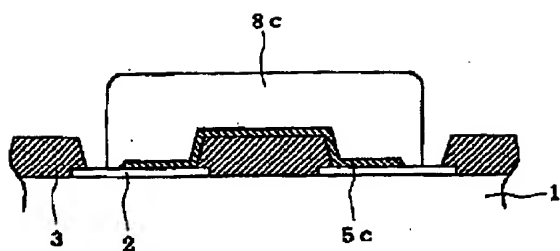
【図24】



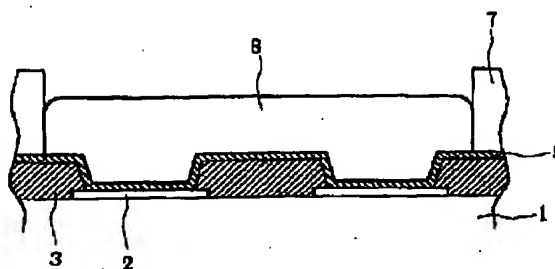
(11)

特開平6-260482 (12/12)

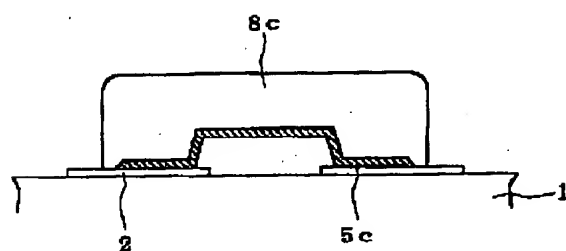
【図25】



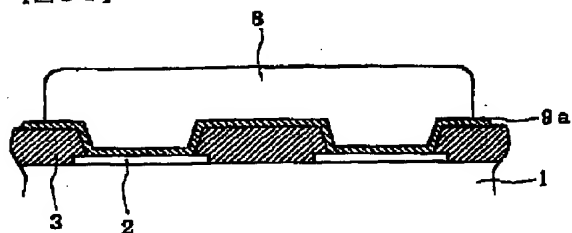
【図30】



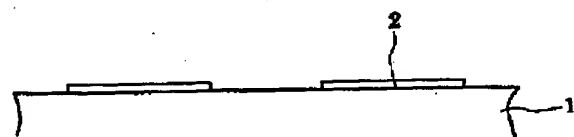
【図26】



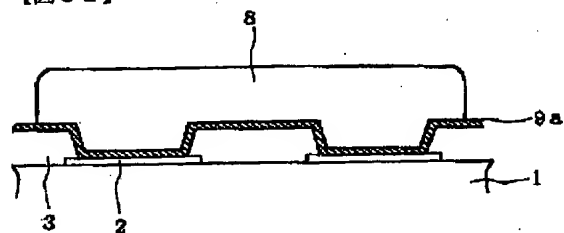
【図31】



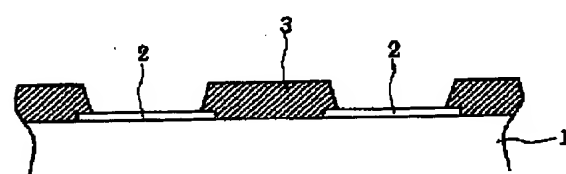
【図27】



【図32】



【図28】



【図29】

